



Bank Number	VREFB Group	PinName/Function	Optional Function(s)	Configuration Function	F484	F256/U256/M256	M164	E144 (4)	DQS for X8/X9 in F484	DQS for X16/X18 in F484	DQS for X32/X36 in F484	DQS for X8/X9 in F256/U256	DQS for X16/X18 in F256/U256	DQS for X8/X9 in M164	DQS for X8/X9 in E144	
B1	VREFB1N0	IO			H5											
B1	VREFB1N0	IO	DIFFIO L1p		B1				DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L1n		B2				DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO			G3											
B1	VREFB1N0	IO	DIFFIO L2p	nRESET	E4				DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L2n		E3				DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L3p		C2	B1	C1		DQS2L/CQ3L.CDPCLK0							
B1	VREFB1N0	IO	DIFFIO L3n		C1				DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L4p		D2	C2			DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L4n	DATA1.ASDO	D1	C1	D2	6								
B1	VREFB1N0	IO	VREFB1N0		H7	F3	D1	7								
B1	VREFB1N0	IO	DIFFIO L5p		H6				DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L5n		J6				DQ2L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L6p	FLASH.nCE.nCSO	E2	D2	E1	8								
B1	VREFB1N0	IO	DIFFIO L6n		E1	D1			DQ1L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L7p		F2				DM2L	DM1L0/BWS#1L0	DM1L0/BWS#1L0					
B1	VREFB1N0	IO	DIFFIO L7n		F1				DQ0L	DQ1L	DQ1L					
B1	VREFB1N0	IO	DIFFIO L8p		G4											
B1	VREFB1N0	IO	DIFFIO L8n		G3											
B1	VREFB1N1	nSTATUS		nSTATUS	K6	F4	E2	9								
B1	VREFB1N1	IO	DIFFIO L9p		L8											
B1	VREFB1N1	IO	DIFFIO L9n		K8	G5										
B1	VREFB1N1	IO	DIFFIO L10p		J7	F2										
B1	VREFB1N1	IO	DIFFIO L10n		K7	F1										
B1	VREFB1N1	IO			J4	G2	F2	10	DQS0L/CQ1L.DPCLK0							
B1	VREFB1N1	IO	DIFFIO L11p		H2				DQ0L	DQ1L	DQ1L					
B1	VREFB1N1	IO	DIFFIO L11n		H1				DQ0L	DQ1L	DQ1L					
B1	VREFB1N1	IO	VREFB1N1		J3	G1	F1	11								
B1	VREFB1N1	IO	DIFFIO L12p		J2				DQ0L	DQ1L	DQ1L					
B1	VREFB1N1	IO	DIFFIO L12n		J1				DQ0L	DQ1L	DQ1L					
B1	VREFB1N1	DCLK		DCLK	K2	H1	F3	12								
B1	VREFB1N1	IO		DATA0	K1	H2	G1	13								
B1	VREFB1N1	nCONFIG		nCONFIG	K5	H5	G2	14								
B1	VREFB1N1	TDI		TDI	L5	H4	G3	15								
B1	VREFB1N1	TCK		TCK	L2	H3	H2	16								
B1	VREFB1N1	TMS		TMS	L1	J5	H1	18								
B1	VREFB1N1	TDO		TDO	L4	J4	H3	20								
B1	VREFB1N1	nCE		nCE	L3	J3	H4	21								
B1	VREFB1N1	CLK1	DIFCLK_0n		G1	E1	J1	23								
B2	VREFB2N0	CLK2	DIFCLK_1p		T2	M2	K3	24								
B2	VREFB2N0	CLK3	DIFCLK_1n		T1	M1	J3	25								
B2	VREFB2N0	IO	DIFFIO L13p		L6				DQ0L	DQ1L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L13n		L6				DQ0L	DQ1L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L14p		M2	J2			DQ0L	DQ1L	DQ1L			DQ1L		
B2	VREFB2N0	IO	DIFFIO L14n		M1	J1			DQ0L	DQ1L	DQ1L			DQ1L		
B2	VREFB2N0	IO	DIFFIO L15p		M4				DM0L	DM1L1/BWS#1L1	DM1L1/BWS#1L1					
B2	VREFB2N0	IO	DIFFIO L15n		M3				DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L16p		N2	K6			DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L16n		N1	L6			DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO			L7											
B2	VREFB2N0	IO	VREFB2N0		M5	L3	K1	28								
B2	VREFB2N0	IO	DIFFIO L17p		P2				DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L17n		P1				DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L18p		R2				DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L18n		R1	K1			DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO			N5				DQ1L	DQ3L	DQ1L			DQ1L		
B2	VREFB2N0	IO	DIFFIO L19p		P4	L2	L2	30	DQS1L/CQ1L#.DPCLK1	DQS1L/CQ1L#.DPCLK1	DQS1L/CQ1L#.DPCLK1	DQS1L/CQ1L#.DPCLK1				
B2	VREFB2N0	IO	DIFFIO L19n		P3	L1	K2		DQ1L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L20p		U2				DM1L/BWS#1L	DM3L0/BWS#3L0	DM1L2/BWS#1L2					
B2	VREFB2N0	IO	DIFFIO L20n		U1				DQ3L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L21p		V2				DQ3L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L21n		V1				DQ3L	DQ3L	DQ1L					
B2	VREFB2N0	IO			P5											
B2	VREFB2N0	IO	DIFFIO L22p		N6				DQ3L	DQ3L	DQ1L					
B2	VREFB2N0	IO	DIFFIO L22n		M7											
B2	VREFB2N1	IO	DIFFIO L23p		M8											
B2	VREFB2N1	IO	DIFFIO L23n		N8											
B2	VREFB2N1	IO	DIFFIO L24p		W2				DQ3L	DQ3L	DQ1L					
B2	VREFB2N1	IO	DIFFIO L24n		W1				DQ3L	DQ3L	DQ1L					
B2	VREFB2N1	IO	DIFFIO L25p		Y2				DQ3L	DQ3L	DQ1L					
B2	VREFB2N1	IO	DIFFIO L25n		Y1				DQ3L	DQ3L	DQ1L					
B2	VREFB2N1	IO	VREFB2N1		T3	K2	L1	31								
B2	VREFB2N1	IO	DIFFIO L26p		N7											
B2	VREFB2N1	IO	DIFFIO L26n		P7											
B2	VREFB2N1	IO	DIFFIO L27p		L	N2									DQ1L	
B2	VREFB2N1	IO	DIFFIO L27n		AA1	N1			DQ3L	DQ3L	DQ1L			DQ1L		
B2	VREFB2N1	IO	RUP1		V4	K5	M1	32							DQ1L	
B2	VREFB2N1	IO	RDN1		V3	L4	M2	33							DQ1L	
B2	VREFB2N1	IO	DIFFIO L28p		P6											
B2	VREFB2N1	IO	DIFFIO L28n		P5											
B2	VREFB2N1	IO			T4											
B2	VREFB2N1	IO	DIFFIO L29p		R1				DQS3L/CQ3L#.CDPCLK1	DQS3L/CQ3L#.CDPCLK1	DM1L3/BWS#1L3			DQ1L		
B2	VREFB2N1	IO	DIFFIO L29n		T5	P2			DM3L1/BWS#3L1	DM3L1/BWS#3L1				DM1L/BWS#1L		
B2	VREFB2N1	IO	DIFFIO L29p		R6	P1										
B2	VREFB2N1	IO	DIFFIO L30p		R7											



Bank Number	VREFB Group	PinName/Function	Optional Function(s)	Configuration Function	F484	F256/U256/M256	M164	E144 (4)	DQS for X8/X9 in F484	DQS for X16/X18 in F484	DQS for X32/X36 in F484	DQS for X8/X9 in F256/U256	DQS for X16/X18 in F256/U256	DQS for X8/X9 in M164	DQS for X8/X9 in E144
B2	VREFB2N1	IO	DIFFIO_L30n		T7										
B2	VREFB2N1	IO	DIFFIO_L31p		P8										
B2	VREFB2N1	IO	DIFFIO_L31n		R8										
B3	VREFB3N1	IO	DIFFIO_B1p		R9										
B3	VREFB3N1	IO	DIFFIO_B1n		T8										
B3	VREFB3N1	IO	DIFFIO_B2p		R10										
B3	VREFB3N1	IO	DIFFIO_B2n		T9										
B3	VREFB3N1	IO	DIFFIO_B3p		V6	N3									
B3	VREFB3N1	IO	DIFFIO_B3n		V5	P3			DM3B/BWS#3B	DM3B1/BWS#3B1	DM5B3/BWS#5B3	DM3B/BWS#3B	DM5B1/BWS#5B1		
B3	VREFB3N1	IO	DIFFIO_B4p		U7										
B3	VREFB3N1	IO	DIFFIO_B4n		U8	R3						DQ3B	DQ5B		
B3	VREFB3N1	IO	VREFB3N1		Y4	T3	R3	39							
B3	VREFB3N1	IO	DIFFIO_B5p		R11										
B3	VREFB3N1	IO	DIFFIO_B5n		R12										
B3	VREFB3N1	IO	DIFFIO_B6p		Y3				DQ3B	DQ3B	DQ5B				
B3	VREFB3N1	IO			Y6	T2	R4	42						DQS1B/CQ1B#,CDPCLK2	DQS1B/CQ1B#,CDPCLK2
B3	VREFB3N1	IO	PLL1_CLKOUTp		AA3	R4	P5	43							
B3	VREFB3N1	IO	PLL1_CLKOUTn		AB3	T4	R5	44							
B3	VREFB3N1	IO	DIFFIO_B7p		W6	N5			DQ3B	DQ3B	DQ5B	DQ3B	DQ5B		
B3	VREFB3N1	IO	DIFFIO_B7n		V7	N6						DQ3B	DQ5B		
B3	VREFB3N1	IO	DIFFIO_B8p		AA4	M6			DQ3B	DQ3B	DQ5B	DQ3B	DQ5B		
B3	VREFB3N1	IO	DIFFIO_B8n		AB4										
B3	VREFB3N1	IO	DIFFIO_B9p		AA5				DQ3B	DQ3B	DQ5B				
B3	VREFB3N1	IO	DIFFIO_B9n		AB5										
B3	VREFB3N1	IO	DIFFIO_B10p		W7				DQ3B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B10n		Y7				DQ3B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B11p		U9				DQ3B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B11n		V8				DQ3B	DQ3B	DQ5B				
B3	VREFB3N0	IO			W8				DQ3B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B12p		AA7				DM5B/BWS#5B	DM3B0/BWS#3B0	DM5B2/BWS#5B2				
B3	VREFB3N0	IO	DIFFIO_B12n		AB7				DQ5B			DQ3B	DQ5B		
B3	VREFB3N0	IO	DIFFIO_B13p		Y8				DQ5B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B13n				P6								
B3	VREFB3N0	IO	VREFB3N0		V9	P6	N5	46							
B3	VREFB3N0	IO			V10	M7			DQS3B/CQ3B#,DPCLK2	DQS3B/CQ3B#,DPCLK2		DQS3B/CQ3B#,DPCLK2			
B3	VREFB3N0	IO	DIFFIO_B14p		T10	R5						DQ3B	DQ5B		
B3	VREFB3N0	IO	DIFFIO_B14n		U10	T5			DQ5B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B15p		AA8	R6			DQ5B	DQ3B	DQ5B	DQ3B	DQ5B		
B3	VREFB3N0	IO	DIFFIO_B15n		AB8	T6			DQ5B	DQ3B	DQ5B				
B3	VREFB3N0	IO			T11	L7						DQ3B	DQ5B		
B3	VREFB3N0	IO	DIFFIO_B16p		AA9	R7			DQ5B	DQ3B	DQ5B	DQ3B	DQ5B		
B3	VREFB3N0	IO	DIFFIO_B16n		AB9	T7			DQS5B/CQ5B#,DPCLK3	DQS5B/CQ5B#,DPCLK3	DQS5B/CQ5B#,DPCLK3	DQS5B/CQ5B#,DPCLK3	DQS5B/CQ5B#,DPCLK3		
B3	VREFB3N0	IO			U11	L8	R6	49				DQ3B	DQ5B	DQ1B	DQ1B
B3	VREFB3N0	IO	DIFFIO_B17p		V11				DQ5B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B17n		W10				DQ5B	DQ3B	DQ5B				
B3	VREFB3N0	IO	DIFFIO_B18p		Y10	M8	R7	50	DQ5B	DQ3B	DQ5B	DM5B/BWS#5B	DM5B0/BWS#5B0	DQ1B	DQ1B
B3	VREFB3N0	IO	DIFFIO_B18n		AA10	N8	P7	51	DM4B	DM5B1/BWS#5B1	DM5B1/BWS#5B1	DQ5B	DQ5B	DQ1B	DQ1B
B3	VREFB3N0	IO			AB10	P8				DQ5B	DQ5B				
B3	VREFB3N0	CLK15	DIFFLCK_6p		AA11	R8	N6	52							
B3	VREFB3N0	CLK14	DIFFLCK_6n		AB11	T8	N7	53							
B4	VREFB4N1	CLK13	DIFFLCK_7p		AA12	R9	P8	54							
B4	VREFB4N1	CLK12	DIFFLCK_7n		AB12	T9	R8	55							
B4	VREFB4N1	IO	DIFFIO_B19p		AA13	K9			DQ4B	DQ5B	DQ5B				
B4	VREFB4N1	IO	DIFFIO_B19n		AB13	L9			DQ4B	DQ5B	DQ5B				
B4	VREFB4N1	IO	DIFFIO_B20p		AA14	M9			DQ4B	DQ5B	DQ5B				
B4	VREFB4N1	IO	DIFFIO_B20n		AB14	N9			DQ4B	DQ5B	DQ5B	DQ5B	DQ5B		
B4	VREFB4N1	IO			V12										
B4	VREFB4N1	IO	DIFFIO_B21p		W13	R10	R9	58	DQ4B	DQ5B	DQ5B	DQ5B	DQ5B	DQ1B	DQ1B
B4	VREFB4N1	IO	DIFFIO_B21n		Y13	T10			DQS4B/CQ5B,DPCLK4						
B4	VREFB4N1	IO	DIFFIO_B22p		AA15	R11	N8	59	DQ4B	DQ5B	DQ5B	DQ5B	DQ5B	DQ1B	DQ1B
B4	VREFB4N1	IO	DIFFIO_B22n		AB15	T11	P9	60	DQ4B	DQ5B	DQ5B			DQ1B	DQ1B
B4	VREFB4N1	IO	DIFFIO_B23p		U12	R12	N10	61	DQ4B	DQ5B	DQ5B	DQ5B	DQ5B		
B4	VREFB4N1	IO	DIFFIO_B23n		T12										
B4	VREFB4N1	IO	DIFFIO_B24p		AA16	T12			DM2B	DM5B0/BWS#5B0	DM5B0/BWS#5B0	DQ5B	DQ5B		
B4	VREFB4N1	IO	DIFFIO_B24n		AB16	K10			DQ2B	DQ5B	DQ5B				
B4	VREFB4N1	IO	DIFFIO_B25p		AA17										
B4	VREFB4N1	IO	DIFFIO_B25n		AB17										
B4	VREFB4N1	IO			R13	L10									
B4	VREFB4N1	IO			V13	P9	P10	64	DQS2B/CQ3B,DPCLK5						
B4	VREFB4N1	IO	VREFB4N1		W14	N12	R10	65							
B4	VREFB4N0	IO	DIFFIO_B26p		U13	R13									
B4	VREFB4N0	IO	DIFFIO_B26n		V14	T13			DQ2B	DQ5B	DQ5B	DQ5B	DQ5B		
B4	VREFB4N0	IO	DIFFIO_B27p		V15				DQ2B	DQ5B	DQ5B				
B4	VREFB4N0	IO	DIFFIO_B27n		W15				DQ2B	DQ5B	DQ5B				
B4	VREFB4N0	IO	DIFFIO_B28p		T14										
B4	VREFB4N0	IO	DIFFIO_B28n		T15				DQ2B	DQ5B	DQ5B				
B4	VREFB4N0	IO			AB18				DQ2B	DQ5B	DQ5B				
B4	VREFB4N0	IO			AA18										
B4	VREFB4N0	IO	RJP2		AA19	M10	N12	66						DQ1B	DQ1B
B4	VREFB4N0	IO	RDN2		AB19	N11	P12	67						DQ1B	DQ1B
B4	VREFB4N0	IO	DIFFIO_B29p		W17	T14			DQ2B	DQ5B	DQ5B	DQ5B	DQ5B		
B4	VREFB4N0	IO	DIFFIO_B29n		Y17	T15	R11	68	DQS2B/CQ1B,CDPCLK3						
B4	VREFB4N0	IO	VREFB4N0		V16	P11	R12	69							
B4	VREFB4N0	IO	DIFFIO_B30p		AA20					DQ5B	DQ5B				



Bank Number	VREFB Group	PinName/Function	Optional Function(s)	Configuration Function	F484	F256/U256/M256	M164	E144 (4)	DQS for X8/X9 in F484	DQS for X16/X18 in F484	DQS for X32/X36 in F484	DQS for X8/X9 in F256/U256	DQS for X16/X18 in F256/U256	DQS for X8/X9 in M164	DQS for X8/X9 in E144
B4	VREFB4N0	IO	DIFFIO_B30n		AB20				DQ2B	DQ5B	DQ5B				
B4	VREFB4N0	IO	PLL4_CLKOUTp		T16	P14	R14	71							
B4	VREFB4N0	IO	PLL4_CLKOUTn		R16	R14	R13	72							
B4	VREFB4N0	IO	DIFFIO_B31p		U15										
B4	VREFB4N0	IO	DIFFIO_B31n		U14	M11									
B4	VREFB4N0	IO	DIFFIO_B32p		R14										
B4	VREFB4N0	IO	DIFFIO_B32n		R15										
B5	VREFB5N1	IO	DIFFIO_R35p		AA21	K12			DM3R/BWS#3R	DM3R1/BWS#3R1	DM1R3/BWS#1R3				
B5	VREFB5N1	IO			P14										
B5	VREFB5N1	IO	RUP3		T17	N14	N15	76						DM1R/BWS#1R	
B5	VREFB5N1	IO	RDN3		T18	P15	M14	77						DQ1R	
B5	VREFB5N1	IO	DIFFIO_R34n		W20	P16			DQS3R/CQ3R#.CDPCLK4	DQS3R/CQ3R#.CDPCLK4					
B5	VREFB5N1	IO	DIFFIO_R34p		W19	R16								DQ1R	
B5	VREFB5N1	IO	DIFFIO_R33n		Y22				DQ3R	DQ3R	DQ1R				
B5	VREFB5N1	IO	DIFFIO_R33p		Y21										
B5	VREFB5N1	IO	DIFFIO_R32n		U20				DQ3R	DQ3R	DQ1R				
B5	VREFB5N1	IO	DIFFIO_R32p		U19										
B5	VREFB5N1	IO			N14										
B5	VREFB5N1	IO	DIFFIO_R31n		W22	N16	M15		DQ3R	DQ3R	DQ1R			DQ1R	
B5	VREFB5N1	IO	DIFFIO_R31p		W21	N15	L14		DQ3R	DQ3R	DQ1R			DQ1R	
B5	VREFB5N1	IO	DIFFIO_R30n		P15										
B5	VREFB5N1	IO	DIFFIO_R30p		P16										
B5	VREFB5N1	IO	VREFB5N1		R17	L14	L15	80							
B5	VREFB5N1	IO	DIFFIO_R29n		M15										
B5	VREFB5N1	IO	DIFFIO_R29p		N15										
B5	VREFB5N1	IO			P17										
B5	VREFB5N1	IO	DIFFIO_R28n		V22				DQ3R	DQ3R	DQ1R				
B5	VREFB5N1	IO	DIFFIO_R28p		V21				DQ3R	DQ3R	DQ1R				
B5	VREFB5N1	IO			R20				DQ3R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R27n		U22				DQ3R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R27p		U21				DQ3R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R26n		R18	L13								DQ1R	
B5	VREFB5N0	IO	DIFFIO_R26p		R19	L16			DM1R/BWS#1R	DM3R0/BWS#3R0	DM1R2/BWS#1R2			DQ1R	
B5	VREFB5N0	IO			N16										
B5	VREFB5N0	IO	DIFFIO_R25n		R22				DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R25p		R21				DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO	VREFB5N0		P20	L15	K13	83							
B5	VREFB5N0	IO	DIFFIO_R24n		P22				DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R24p		P21				DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R23n		N20				DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R23p		N19										
B5	VREFB5N0	IO	DIFFIO_R22n		N17	K16								DQ1R	
B5	VREFB5N0	IO	DIFFIO_R22p		N18	K15	K14	85	DQS1R/CQ1R#.DPCLK6	DQS1R/CQ1R#.DPCLK6	DQS1R/CQ1R#.DPCLK6	DQS1R/CQ1R#.DPCLK6			
B5	VREFB5N0	IO	DIFFIO_R21n	DEV OE	N22	J16	K15	86							
B5	VREFB5N0	IO	DIFFIO_R21p	DEV CLRn	N21	J15	J13	87							
B5	VREFB5N0	IO	DIFFIO_R20n		M22				DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R20p		M21				DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO	DIFFIO_R19n		M20	J14			DQ1R	DQ3R	DQ1R			DQ1R	
B5	VREFB5N0	IO	DIFFIO_R19p		M19	J12			DQ1R	DQ3R	DQ1R				
B5	VREFB5N0	IO			M16	J13								DQ1R	
B5	VREFB5N0	CLK7	DIFFCLK_3n		T22	M16	J15	88							
B5	VREFB5N0	CLK6	DIFFCLK_3p		T21	M15	J14	89							
B6	VREFB6N1	CLK5	DIFFCLK_2n		G22	E16	H15	90							
B6	VREFB6N1	CLK4	DIFFCLK_2p		G21	E15	H14	91							
B6	VREFB6N1	CONF_DONE		CONF_DONE	M18	H14	H13	92							
B6	VREFB6N1	MSEL0		MSEL0	M17	H13	G13	94							
B6	VREFB6N1	MSEL1		MSEL1	L18	H12	G14	96							
B6	VREFB6N1	MSEL2		MSEL2	L17	G12	G15	97							
B6	VREFB6N1	MSEL3		MSEL3	K20										
B6	VREFB6N1	IO	DIFFIO_R18n		L16										
B6	VREFB6N1	IO	DIFFIO_R18p		L15										
B6	VREFB6N1	IO	DIFFIO_R17n	INIT_DONE	L22	G16	F13	98							
B6	VREFB6N1	IO	DIFFIO_R17p	CRC_ERROR	L21	G15	F14	99							
B6	VREFB6N1	IO			K15										
B6	VREFB6N1	IO	VREFB6N1		K19	F13	F15	100							
B6	VREFB6N1	IO			J15										
B6	VREFB6N1	IO	DIFFIO_R16n	nCEO	K22	F16	E14	101							
B6	VREFB6N1	IO	DIFFIO_R16p	CLKUSR	K21	F15	E15	103							
B6	VREFB6N1	IO	DIFFIO_R15n		J22	B16	D14	104	DQS0R/CQ1R.DPCLK7						
B6	VREFB6N1	IO	DIFFIO_R15p		J21				DM0R	DM1R1/BWS#1R1	DM1R1/BWS#1R1				
B6	VREFB6N1	IO	DIFFIO_R14n		J16										
B6	VREFB6N1	IO	DIFFIO_R14p		K16										
B6	VREFB6N1	IO	DIFFIO_R13n		H22				DQ0R	DQ1R	DQ1R				
B6	VREFB6N1	IO	DIFFIO_R13p		H21				DQ0R	DQ1R	DQ1R				
B6	VREFB6N1	IO	DIFFIO_R12n		K17										
B6	VREFB6N1	IO	DIFFIO_R12p		K18				DQ0R	DQ1R	DQ1R				
B6	VREFB6N1	IO			J18										
B6	VREFB6N1	IO	DIFFIO_R11n		F22				DQ0R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO_R11p		F21				DQ0R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO_R10n		H20				DQ0R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO_R10p		H19				DQ0R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO_R9n	nWE	E22				DQ0R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO_R9p	nOE	E21				DQ0R	DQ1R	DQ1R				
B6	VREFB6N0	IO	VREFB6N0		H18	F14	D15	105							



Bank Number	VREFB Group	PinName/Function	Optional Function(s)	Configuration Function	F484	F256/U256/M256	M164	E144 (4)	DQS for X8/X9 in F484	DQS for X16/X18 in F484	DQS for X32/X36 in F484	DQS for X8/X9 in F256/U256	DQS for X16/X18 in F256/U256	DQS for X8/X9 in M164	DQS for X8/X9 in E144
B6	VREFB6N0	IO	DIFFIO R8n		J17										
B6	VREFB6N0	IO	DIFFIO R8p		H16										
B6	VREFB6N0	IO	DIFFIO R7n		D22	D16			DM2R	DM1R0/BWS#1R0	DM1R0/BWS#1R0				
B6	VREFB6N0	IO	DIFFIO R7p		D21	D15			DQ1R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R6n	nAVD	F20				DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R6p		F19				DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R5n	PADD23	G18				DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R5p		H17										
B6	VREFB6N0	IO	DIFFIO R4n		C22				DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R4p		C21				DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R3n	PADD22	B22				DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R3p	PADD21	B21	G11			DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R2n	PADD20	C20	C16	C15	106	DQS2R/CQ3R, DPCLK5						
B6	VREFB6N0	IO	DIFFIO R2p		D20	C15									
B6	VREFB6N0	IO	DIFFIO R1n		F17				DQ2R	DQ1R	DQ1R				
B6	VREFB6N0	IO	DIFFIO R1p		G17										
B7	VREFB7N0	IO	DIFFIO T32n		F16	C14									
B7	VREFB7N0	IO	DIFFIO T32p		E16	D14			DQ2T	DQ5T	DQ5T	DQ5T	DQ5T		
B7	VREFB7N0	IO	DIFFIO T31n		F15				DQ2T	DQ5T	DQ5T				
B7	VREFB7N0	IO	DIFFIO T31p		G16										
B7	VREFB7N0	IO	DIFFIO T30n		G15	D11	B13								
B7	VREFB7N0	IO	DIFFIO T30p		F14	D12	A14	110							
B7	VREFB7N0	IO	DIFFIO T29n		G14										
B7	VREFB7N0	IO	VREFB7N0		D17	C11	A13	111							
B7	VREFB7N0	IO	DIFFIO T29n		C19	B13			DQ2T	DQ5T	DQ5T	DQ5T	DQ5T		
B7	VREFB7N0	IO	DIFFIO T29p		D19				DQ2T	DQ5T	DQ5T				
B7	VREFB7N0	IO	PLL2_CLKOUTn		A20	A14	B12	112							
B7	VREFB7N0	IO	PLL2_CLKOUTp		B20	B14	A12	113							
B7	VREFB7N0	IO	DIFFIO T28n		C17				DQ2T	DQ5T	DQ5T				
B7	VREFB7N0	IO	DIFFIO T28p		H15										
B7	VREFB7N0	IO	RUP4		B19	E11	B11	114						DQ1T	DQ1T
B7	VREFB7N0	IO	RDN4		A19	E10	A11	115						DQ1T	DQ1T
B7	VREFB7N0	IO	DIFFIO T27n		A18				DQ2T	DQ5T	DQ5T				
B7	VREFB7N0	IO	DIFFIO T27p	PADD0	B18	A12						DQ5T	DQ5T		
B7	VREFB7N0	IO	DIFFIO T26n		D15	B12						DQ5T	DQ5T		
B7	VREFB7N0	IO	DIFFIO T26p		E15				DQ2T	DQ5T	DQ5T				
B7	VREFB7N1	IO	DIFFIO T25n	PADD1	G13										
B7	VREFB7N1	IO	DIFFIO T25p	PADD2	A17	A11			DQ2T	DQ5T	DQ5T	DQ5T	DQ5T		
B7	VREFB7N1	IO	DIFFIO T24n		B17	B11				DQ5T	DQ5T	DQ5T	DQ5T		
B7	VREFB7M4	IO	DIFFIO T24n		A16				DM2T	DM5T0/BWS#5T0	DM5T0/BWS#5T0				
B7	VREFB7M4	IO	DIFFIO T24p		B16				DQ4T	DQ5T	DQ5T				
B7	VREFB7N1	IO	VREFB7N1		C15	A13	B10	119							
B7	VREFB7N1	IO	DIFFIO T23n	PADD3	E14	A15	A10	120	DQ4T	DQ5T	DQ5T			DQ1T	DQ1T
B7	VREFB7N1	IO	DIFFIO T23p		F12										
B7	VREFB7N1	IO	DIFFIO T22n		H13										
B7	VREFB7N1	IO	DIFFIO T22p		H12										
B7	VREFB7N1	IO	DIFFIO T21n		G12										
B7	VREFB7N1	IO	DIFFIO T21p	PADD4	F13	F9	C9	121	DQS2T/CQ3T, DPCLK8						
B7	VREFB7N1	IO	DIFFIO T20n	PADD5	A15	A10			DQ4T	DQ5T	DQ5T	DQ5T	DQ5T		
B7	VREFB7N1	IO	DIFFIO T20p	PADD6	B15	B10			DQ4T	DQ5T	DQ5T	DQ5T	DQ5T		
B7	VREFB7N1	IO	DIFFIO T19n	PADD7	C13	C9						DQ5T	DQ5T		
B7	VREFB7N1	IO	DIFFIO T19p	PADD8	D13	D9			DQ4T	DQ5T	DQ5T	DM5T/BWS#5T	DM5T0/BWS#5T0		
B7	VREFB7N1	IO	DIFFIO T18n	PADD9	E13										
B7	VREFB7N1	IO	DIFFIO T18p	PADD10	A14				DQ4T	DQ5T	DQ5T				
B7	VREFB7N1	IO	DIFFIO T17n	PADD11	B14				DQ4T	DQ5T	DQ5T				
B7	VREFB7N1	IO	DIFFIO T17p	PADD12	A13				DQ4T	DQ5T	DQ5T				
B7	VREFB7N1	IO	DIFFIO T16n	PADD13	B13	E9	A9	125	DQS4T/CQ5T, DPCLK9						
B7	VREFB7N1	IO	DIFFIO T16p	PADD14	E12							DQ5T	DQ5T		
B7	VREFB7M4	IO	DIFFIO T16p	PADD14	F11				DM4T	DM5T1/BWS#5T1	DM5T1/BWS#5T1				
B7	VREFB7N1	CLK8	DIFFCLK_8n		A12	A9	B9	126							
B7	VREFB7N1	CLK9	DIFFCLK_9n		B12	B9	A8	127							
B8	VREFB8N0	CLK10	DIFFCLK_4n		A11	A8	B8	128							
B8	VREFB8N0	CLK11	DIFFCLK_4p		B11	B8	A7	129							
B8	VREFB8N0	IO	DIFFIO T15n		H11										
B8	VREFB8N0	IO	DIFFIO T15p		D10				DQ5T	DQ3T	DQ5T				
B8	VREFB8N0	IO	DIFFIO T14n		E10										
B8	VREFB8N0	IO	DIFFIO T14p	PADD15	A10				DQ5T	DQ3T	DQ5T				
B8	VREFB8N0	IO	DIFFIO T13n	PADD16	B10										
B8	VREFB8N0	IO	DIFFIO T13p	PADD17	A9				DQ5T	DQ3T	DQ5T				
B8	VREFB8N0	IO	DIFFIO T12n	DATA2	B9	C8			DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10	DQS5T/CQ5T#, DPCLK10		
B8	VREFB8N0	IO	DIFFIO T12p	DATA3	C10	D8			DQ3T	DQ5T	DQ5T				
B8	VREFB8N0	IO	DIFFIO T11n	PADD18	G11										
B8	VREFB8N0	IO	DIFFIO T11p	DATA4	A8	E8	C7	132	DQ5T	DQ3T	DQ5T	DQ3T	DQ5T	DQ1T	DQ1T
B8	VREFB8N0	IO	DIFFIO T10n	PADD19	B8	F8	B7	133	DQ5T	DQ3T	DQ5T	DQ3T	DQ5T	DQ1T	DQ1T
B8	VREFB8N0	IO	DIFFIO T10p	DATA15	A7	A7	B6	134	DQ5T	DQ3T	DQ5T	DQ3T	DQ5T		
B8	VREFB8N0	IO	DIFFIO T10p	DATA15	B7	B7	A6	135	DQ5T	DQ3T	DQ5T	DQ3T	DQ5T		
B8	VREFB8N0	IO	DIFFIO T10p	DATA15	A6				DQ5T	DQ3T	DQ5T				
B8	VREFB8N0	IO	DIFFIO T10p	DATA15	B6				DQ5T	DQ3T	DQ5T				
B8	VREFB8N0	IO	DIFFIO T9n	DATA14	E9	C6	C6	136							
B8	VREFB8N0	IO	DIFFIO T9p	DATA13	C8	A6			DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11	DQS3T/CQ3T#, DPCLK11		
B8	VREFB8N0	IO	DIFFIO T8n		C7	B6			DM5T/BWS#5T	DM3T0/BWS#3T0	DM5T2/BWS#5T2	DQ3T	DQ5T		
B8	VREFB8N0	IO	DIFFIO T8p		G10										



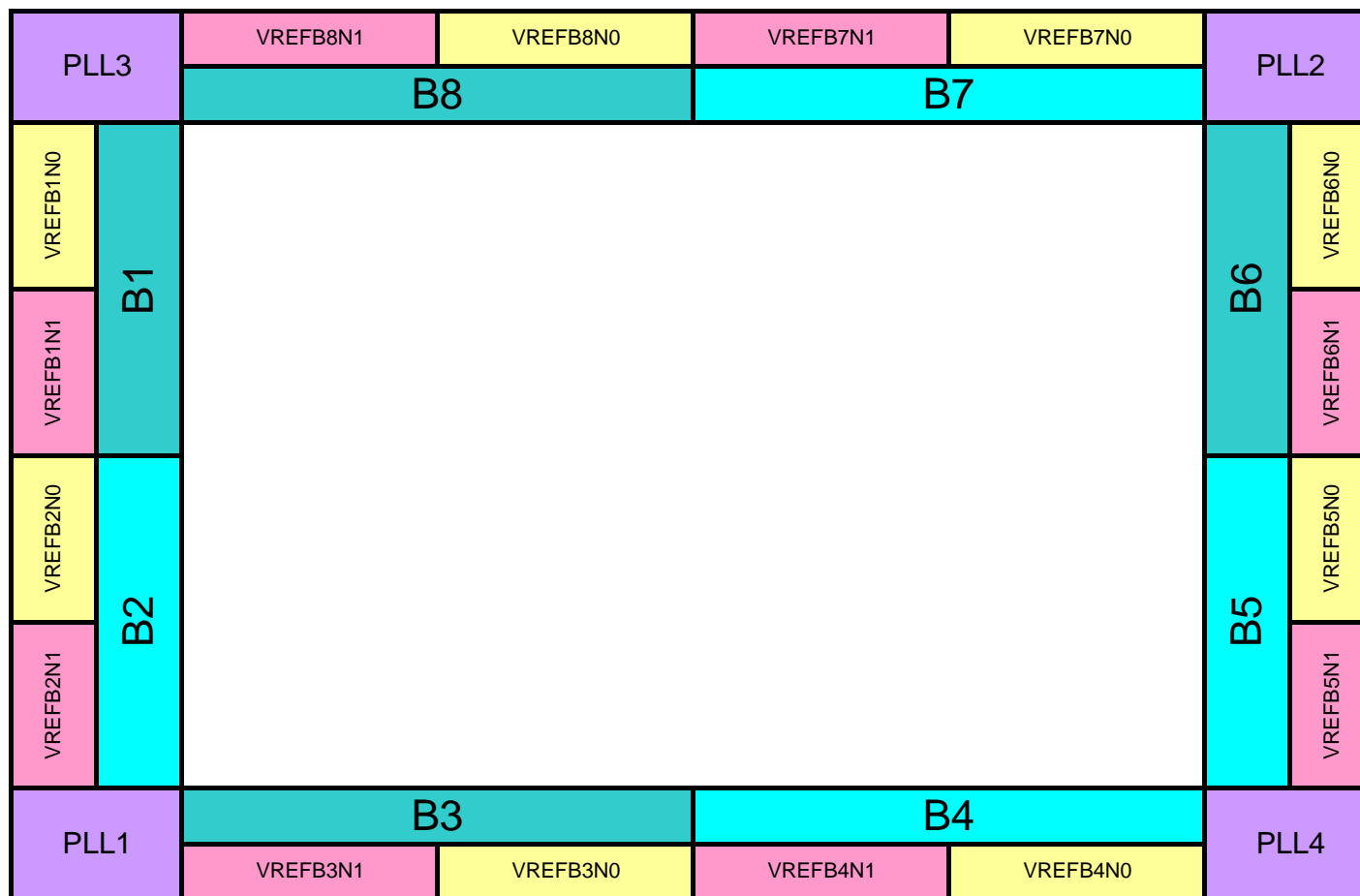
Bank Number	VREFB Group	PinName/Function	Optional Function(s)	Configuration Function	F484	F256/U256/M256	M164	E144 (4)	DQS for X8/X9 in F484	DQS for X16/X18 in F484	DQS for X32/X36 in F484	DQS for X8/X9 in F256/U256	DQS for X16/X18 in F256/U256	DQS for X8/X9 in M164	DQS for X8/X9 in E144
B8	VREFB8N0	IO	DIFFIO_T8p		G9										
B8	VREFB8N0	IO	DIFFIO_T7h		H10										
B8	VREFB8N0	IO	DIFFIO_T7p		H9										
B8	VREFB8N0	IO		DATA5	A5	E7	A5	137	DQ3T	DQ3T		DQ5T		DQ1T	DQ1T
B8	VREFB8N1	IO			B5										
B8	VREFB8N1	IO	DIFFIO_T8n		F9										
B8	VREFB8N1	IO	DIFFIO_T8p	DATA6	F10	E6	B4		DQ3T	DQ3T		DQ5T		DQ3T	DQ5T
B8	VREFB8N1	IO		DATA7	C6	A5	A4		DQ3T	DQ3T		DQ5T		DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T5n		A4				DQ3T	DQ3T		DQ5T			
B8	VREFB8N1	IO	DIFFIO_T5p	DATA8	B4	B5			DQ3T	DQ3T		DQ5T		DQ3T	DQ5T
B8	VREFB8N1	IO	DIFFIO_T4n	DATA9	F8	D6			DQ3T	DQ3T		DQ5T			
B8	VREFB8N1	IO	DIFFIO_T4p		G8										
B8	VREFB8N1	IO	DIFFIO_T3n	DATA10	A3	A4			DQ3T	DQ3T		DQ5T	DM3T/BWS#3T	DM5T1/BWS#5T1	
B8	VREFB8N1	IO	DIFFIO_T3p	DATA11	B3	B4			DQ3T	DQ3T		DQ5T			
B8	VREFB8N1	IO	VREFB8N1		D6	A2	C4	141							
B8	VREFB8N1	IO			E7	D5									
B8	VREFB8N1	IO	DIFFIO_T2n		C3	A3			DQ3T	DQ3T		DQ5T			
B8	VREFB8N1	IO	DIFFIO_T2p	DATA12	C4	B3	A3	142						DQS1T/CQ1T#.CDPCLK7	DQS1T/CQ1T#.CDPCLK7
B8	VREFB8N1	IO	DIFFIO_T1n		F7				DM3T/BWS#3T	DM3T1/BWS#3T1		DM5T3/BWS#5T3			
B8	VREFB8N1	IO	DIFFIO_T1p		G7										
B8	VREFB8N1	IO	PLL3_CLKOUTn		E6	C3	A2	143						DQ1T	DQ1T
B8	VREFB8N1	IO	PLL3_CLKOUTp		E5	D3	B3	144						DM1T	DM1T
	GND				L10	H7	E3	19							
	GND				L11	H8	G12	27							
	GND				M10	H9	D7	41							
	GND				M11	H10	N14	48							
	GND				L12	J7	M7	57							
	GND				L13	J8	N1	63							
	GND				M12	J9	P13	82							
	GND				M13	J10	P4	95							
	GND				N11	F6	D9	118							
	GND				K11	F10	M3	123							
	GND				N12	J11	R2	131							
	GND				K12	K8	J12	140							
	GND				K13	B2	K4	4							
	GND				N13	B15	N4	22							
	GND				N10	C5	G4	79							
	GND				K10	C12	D5								
	GND				J9	D7	C12								
	GND				D7	D10	D11								
	GND				J5	E4	C14								
	GND				H8	E13	M13								
	GND				A1	G4	M10								
	GND				C5	G13	C2								
	GND				C9	K4	C8								
	GND				C11	K13	E13								
	GND				C12	M4	J2								
	GND				C14	M13	N11								
	GND				C16	N7	P11								
	GND				A22	N10									
	GND				E20	P5									
	GND				G20	P12									
	GND				L20	R2									
	GND				P19	R15									
	GND				V20	E2									
	GND				Y20	H16									
	GND				AB22	H15									
	GND				Y18										
	GND				Y16										
	GND				Y12										
	GND				Y11										
	GND				Y9										
	GND				Y5										
	GND				AB1										
	GND				N3										
	GND				U3										
	GND				W3										
	GND				D3										
	GND				F3										
	GND				K3										
	GND				G2										
	GND				AA2										
	GND				AA22										
	GND				H3										
	GND				R3										
	GND				AB6										
	GND				Y15										
	GND				T20										
	GND				J19										
	GND				C18										
	GND				D8										
	GND				U5	M5	P1	26							
	GND				E18	E12	B15	108							
	GND				F5	E5	B1	2							



Bank Number	VREFB Group	PinName/Function	Optional Function(s)	Configuration Function	F484	F256/U256/M256	M164	E144 (4)	DQS for X8/X9 in F484	DQS for X16/X18 in F484	DQS for X32/X36 in F484	DQS for X8/X9 in F256/U256	DQS for X16/X18 in F256/U256	DQS for X8/X9 in M164	DQS for X8/X9 in E144
		GND44			V18	M12	P15	74							
		VCCINT			J11	F7	D3	5							
		VCCINT			J12	F11	D5	29							
		VCCINT			L14	G6	N2	34							
		VCCINT			M14	G7	D10	38							
		VCCINT			P11	G8	F12	45							
		VCCINT			P12	G9	H12	70							
		VCCINT			L9	G10	M8	78							
		VCCINT			M9	H6	M11	84							
		VCCINT			J13	H11	D8	102							
		VCCINT			J14	J6	L3	116							
		VCCINT			K14	K7	P3	124							
		VCCINT			J10	K11	K12	138							
		VCCINT			K9										
		VCCINT			N9										
		VCCINT			P9										
		VCCINT			P10										
		VCCINT			P13										
		VCCINT			U16										
		VCCINT			U17										
		VCCINT			T13										
		VCCINT			J8										
		VCCIO1			D4	E3	F4	17							
		VCCIO1			F4	G3									
		VCCIO1			K4										
		VCCIO1			H4										
		VCCIO2			N4	K3	J4	26							
		VCCIO2			U4	M3									
		VCCIO2			W4										
		VCCIO2			R4										
		VCCIO3			AB2	P4	M5	40							
		VCCIO3			W5	P7	M6	47							
		VCCIO3			W9	T1									
		VCCIO3			W11										
		VCCIO3			AA6										
		VCCIO4			AB21	P10	M9	56							
		VCCIO4			W12	P13	N9	62							
		VCCIO4			W16	T16									
		VCCIO4			W18										
		VCCIO4			Y14										
		VCCIO5			P18	K14	L13	81							
		VCCIO5			V19	M14									
		VCCIO5			Y19										
		VCCIO5			T19										
		VCCIO6			E19	E14	D13	93							
		VCCIO6			G19	G14									
		VCCIO6			L19										
		VCCIO6			J20										
		VCCIO7			A21	A16	C10	117							
		VCCIO7			D12	C10	C11	122							
		VCCIO7			D14	C13									
		VCCIO7			D16										
		VCCIO7			D18										
		VCCIO8			A2	A1	B5	130							
		VCCIO8			D5	C4	C5	139							
		VCCIO8			D9	C7									
		VCCIO8			D11										
		VCCIO8			E8										
		VCCA1			T6	L5	R1	35							
		VCCA2			F18	F12	A15	107							
		VCCA3			G6	F5	A1	3							
		VCCA4			U18	L12	R15	75							
		VCCD_PLL1			U6	N4	P2	37							
		VCCD_PLL2			E17	D13	B14	109							
		VCCD_PLL3			F6	D4	B2	1							
		VCCD_PLL4			V17	N13	P14	73							

Notes:

- (1) If the p pin or n pin is not available for the package, the particular differential pair is not supported.
- (2) For DQS pins that do not have the associated DQpins, the particular DQS is not supported.
- (3) For more information about pin definition and pin connection guidelines, refer to the [Cyclone IV Device Family Pin Connection Guidelines](#).
- (4) The E144 package has an exposed pad at the bottom of the package. This exposed pad is a ground pad that must be connected to the ground plane on your PCB. This exposed pad is used for electrical connectivity, and not for thermal purposes.



Notes:

1. This is a top view of the silicon die.
2. This is only a pictorial representation to provide an idea of placement on the device. For exact locations, refer to the pin list and the Quartus® II software.



Pin Information for the Cyclone® IV EP4CE15 Device
Version 1.3

Version Number	Date	Changes made
1.0	1/25/2010	Initial Release.
1.1	12/6/2010	Added U256 and M164 packages support.
1.2	6/10/2011	Removed Pin Definitions sheet.
1.3	3/18/2013	Added M256 package.