Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
		VCCD_PLL7			H25																			
		VCCA_PLL7			H26																			
		GNDA_PLL7			F26																			
		GNDA_PLL7			G26																			
B2	VREFB2N0	FPLL7CLKp	INPUT		D30																			
B2	VREFB2N0	FPLL7CLKn	INPUT		D29																			
B2	VREFB2N0	IO	DIFFIO_TX41p		K25								DQ12L0						DQ16L0			DQ16L0		
B2	VREFB2N0	IO	DIFFIO_TX41n		K24								DQ12L1						DQ16L1			DQ16L1		
B2	VREFB2N0	IO	DIFFIO_RX40p		D32								DQ0L0			DQ0L0			DQ0L0			DQ0L0		
B2	VREFB2N0	IO	DIFFIO_RX40n		D31								DQ0L1			DQ0L1			DQ0L1			DQ0L1		
B2	VREFB2N0	IO	DIFFIO_TX40p		H28								DQS12L						DQS16L			DQS16L		
B2	VREFB2N0	IO	DIFFIO_TX40n		H27								DQ12L2						DQ16L2			DQ16L2		
B2	VREFB2N0	IO	DIFFIO_RX39p		E30								DQS0L			DQS0L			DQS0L			DQS0L		
B2	VREFB2N0	IO	DIFFIO_RX39n		E29								DQ0L2			DQ0L2			DQ0L2			DQ0L2		
B2	VREFB2N0	IO	DIFFIO_TX39p		J27								DQ12L3						DQ16L3			DQ16L3		
B2	VREFB2N0	IO	DIFFIO_TX39n		J26								DM12L						DQ17L0			DQ17L0		
B2	VREFB2N0	VREFB2N0	VREFB2N0		F28	D23	D20																	
B2	VREFB2N0	IO	DIFFIO_RX38p		F30								DQ0L3			DQ0L3			DQ0L3			DQ0L3		
B2	VREFB2N0	IO	DIFFIO_RX38n		F29								DM0L			DM0L			DQ1L0			DQ1L0		
B2	VREFB2N0	IO	DIFFIO_TX38p		L24								DQ13L0			DQ13L0			DQ17L1			DQ17L1		
B2	VREFB2N0	IO	DIFFIO_TX38n		L23								DQ13L1			DQ13L1			DQS17L			DQS17L		
B2	VREFB2N0	IO	DIFFIO_RX37p		G30								DQ1L0			DQS13L			DQ1L1			DQ1L1		
B2	VREFB2N0	IO	DIFFIO_RX37n		G29								DQ1L1			DQ13L2			DQS1L			DQS1L		
B2	VREFB2N0	IO	DIFFIO_TX37p		K27								DQS13L			DQ13L3			DQ17L2			DQ17L2		
B2	VREFB2N0	IO	DIFFIO_TX37n		K26								DQ13L2			DM13L			DQ17L3			DQ17L3		
B2	VREFB2N0	IO	DIFFIO_RX36p		H30	C26							DQS1L			DQ1L0	DQ1L0		DQ1L2			DQ1L2		
B2	VREFB2N0	IO	DIFFIO_RX36n		H29	C25							DQ1L2			DQ1L1	DQ1L1		DQ1L3			DQ1L3		
B2	VREFB2N0	IO	DIFFIO_TX36p		M23	H20							DQ13L3			DQ14L0	DQ14L0		DQ18L0	DQ18L0		DQ18L0	DQ18L0	
B2	VREFB2N0	IO	DIFFIO_TX36n		M22	H19							DM13L			DQ14L1	DQ14L1		DQ18L1	DQ18L1		DQ18L1	DQ18L1	
B2	VREFB2N0	IO	DIFFIO_RX35p		E32	D25							DQ1L3			DQS1L	DQS1L		DQ2L0	DQ2L0		DQ2L0	DQ2L0	
B2	VREFB2N0	IO	DIFFIO_RX35n		E31	D24							DM1L			DQ1L2	DQ1L2		DQ2L1	DQ2L1		DQ2L1	DQ2L1	
B2	VREFB2N0	IO	DIFFIO_TX35p		L26	G21							DQ14L0	DQ14L0		DQS14L	DQS14L		DQS18L	DQS18L		DQS18L	DQS18L	
B2	VREFB2N0	IO	DIFFIO_TX35n		L25	G20							DQ14L1	DQ14L1		DQ14L2	DQ14L2		DQ18L2	DQ18L2		DQ18L2	DQ18L2	
B2	VREFB2N1	IO	DIFFIO_RX34p		F32	E24							DQ2L0	DQ2L0		DQ1L3	DQ1L3		DQS2L	DQS2L		DQS2L	DQS2L	
B2	VREFB2N1	IO	DIFFIO_RX34n		F31	E23							DQ2L1	DQ2L1		DM1L	DM1L		DQ2L2	DQ2L2		DQ2L2	DQ2L2	
B2	VREFB2N1	IO	DIFFIO_TX34p		M25	F22							DQS14L	DQS14L		DQ14L3	DQ14L3		DQ18L3	DQ18L3		DQ18L3	DQ18L3	
B2	VREFB2N1	IO	DIFFIO_TX34n		M24	F21							DQ14L2	DQ14L2		DM14L	DM14L		DQ19L0	DQ19L0		DQ19L0	DQ19L0	
B2	VREFB2N1	IO	DIFFIO_RX33p		G32	E26							DQS2L	DQS2L		DQ2L0	DQ2L0		DQ2L3	DQ2L3		DQ2L3	DQ2L3	
B2	VREFB2N1	IO	DIFFIO_RX33n		G31	E25							DQ2L2	DQ2L2		DQ2L1	DQ2L1		DQ3L0	DQ3L0		DQ3L0	DQ3L0	
B2	VREFB2N1	IO	DIFFIO_TX33p		N23	H22							DQ14L3	DQ14L3		DQ15L0	DQ15L0		DQ19L1	DQ19L1		DQ19L1	DQ19L1	
B2	VREFB2N1	IO	DIFFIO_TX33n		N22	H21							DM14L	DM14L		DQ15L1	DQ15L1		DQS19L	DQS19L		DQS19L	DQS19L	
B2	VREFB2N1	IO	DIFFIO_RX32p		H32	F24							DQ2L3	DQ2L3		DQS2L	DQS2L		DQ3L1	DQ3L1		DQ3L1	DQ3L1	
B2	VREFB2N1	IO	DIFFIO_RX32n		H31	F23							DM2L	DM2L		DQ2L2	DQ2L2		DQS3L	DQS3L		DQS3L	DQS3L	
B2	VREFB2N1	IO	DIFFIO_TX32p		M27	J22							DQ15L0	DQ15L0		DQS15L	DQS15L		DQ19L2	DQ19L2		DQ19L2	DQ19L2	
B2	VREFB2N1	IO	DIFFIO_TX32n		M26	J21							DQ15L1	DQ15L1		DQ15L2	DQ15L2		DQ19L3	DQ19L3		DQ19L3	DQ19L3	
B2	VREFB2N1	VREFB2N1	VREFB2N1		J28	G22	F18																	
B2	VREFB2N1	IO	DIFFIO_RX31p		J32	F26							DQ3L0	DQ3L0		DQ2L3	DQ2L3		DQ3L2	DQ3L2		DQ3L2	DQ3L2	
B2	VREFB2N1	IO	DIFFIO_RX31n		J31	F25							DQ3L1	DQ3L1		DM2L	DM2L		DQ3L3	DQ3L3		DQ3L3	DQ3L3	
B2	VREFB2N1	IO	DIFFIO_TX31p		N25	J20							DQS15L	DQS15L		DQ15L3	DQ15L3		DQ20L0	DQ20L0				
B2	VREFB2N1	IO	DIFFIO_TX31n		N24	J19							DQ15L2	DQ15L2		DM15L	DM15L		DQ20L1	DQ20L1				
B2	VREFB2N1	IO	DIFFIO_RX30p		K30	G24	C22						DQS3L	DQS3L		DQ3L0	DQ3L0	DQ3L0	DQ4L0	DQ4L0	DQ4L0	DQ4L0	DQ4L0	DQ4L0
B2	VREFB2N1	IO	DIFFIO_RX30n		K29	G23	C21						DQ3L2	DQ3L2		DQ3L1	DQ3L1	DQ3L1	DQ4L1	DQ4L1	DQ4L1	DQ4L1	DQ4L1	DQ4L1
B2	VREFB2N1	IO	DIFFIO_TX30p		N27	K22	E20						DQ15L3	DQ15L3					DQS20L	DQS20L				
B2	VREFB2N1	IO	DIFFIO_TX30n		N26	K21	E19						DM15L	DM15L					DQ20L2	DQ20L2				
B2	VREFB2N1	IO	DIFFIO_RX29p		K32	H24	D22						DQ3L3	DQ3L3		DQS3L	DQS3L	DQS3L	DQS4L	DQS4L	DQS4L	DQS4L	DQS4L	DQS4L
B2	VREFB2N1	IO	DIFFIO_RX29n		K31	H23	D21						DM3L	DM3L		DQ3L2	DQ3L2	DQ3L2	DQ4L2	DQ4L2	DQ4L2	DQ4L2	DQ4L2	DQ4L2
B2	VREFB2N1	IO	DIFFIO_TX29p		P29	K20	F20						DQ16L0	DQ16L0	DQ16L0				DQ20L3	DQ20L3				
B2	VREFB2N1	IO	DIFFIO_TX29n		P28	K19	F19						DQ16L1	DQ16L1	DQ16L1				DQ21L0	DQ21L0	DQ21L0			

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B2	VREFB2N1	IO	DIFFIO_RX28p		L30	J24	E22						DQ4L0	DQ4L0	DQ4L0	DQ3L3	DQ3L3	DQ3L3	DQ4L3	DQ4L3	DQ4L3	DQ4L3	DQ4L3	DQ4L3
B2	VREFB2N1	IO	DIFFIO_RX28n		L29	J23	E21						DQ4L1	DQ4L1	DQ4L1	DM3L	DM3L	DM3L	DQ5L0	DQ5L0	DQ5L0	DQ5L0	DQ5L0	DQ5L0
B2	VREFB2N1	IO	DIFFIO_TX28p		P27	L23	G20						DQS16L	DQS16L	DQS16L	DQ16L0	DQ16L0		DQ21L1	DQ21L1	DQ21L1			
B2	VREFB2N1	IO	DIFFIO_TX28n		P26	L22	G19						DQ16L2	DQ16L2	DQ16L2	DQ16L1	DQ16L1		DQS21L	DQS21L	DQS21L			
B2	VREFB2N2	IO	DIFFIO_RX27p		N29	K24	F22						DQS4L	DQS4L	DQS4L	DQ4L0	DQ4L0	DQ4L0	DQ5L1	DQ5L1	DQ5L1	DQ5L1	DQ5L1	DQ5L1
B2	VREFB2N2	IO	DIFFIO_RX27n		N28	K23	F21						DQ4L2	DQ4L2	DQ4L2	DQ4L1	DQ4L1	DQ4L1	DQS5L	DQS5L	DQS5L	DQS5L	DQS5L	DQS5L
B2	VREFB2N2	IO	DIFFIO_TX27p		P25	L21	G18						DQ16L3	DQ16L3	DQ16L3	DQS16L	DQS16L		DQ21L2	DQ21L2	DQ21L2			
B2	VREFB2N2	IO	DIFFIO_TX27n		P24	L20	G17						DM16L	DM16L	DM16L	DQ16L2	DQ16L2		DQ21L3	DQ21L3	DQ21L3			
B2	VREFB2N2	IO	DIFFIO_RX26p		M30	G26	H20						DQ4L3	DQ4L3	DQ4L3	DQS4L	DQS4L	DQS4L	DQ5L2	DQ5L2	DQ5L2	DQ5L2	DQ5L2	DQ5L2
B2	VREFB2N2	IO	DIFFIO_RX26n		M29	G25	H19						DM4L	DM4L	DM4L	DQ4L2	DQ4L2	DQ4L2	DQ5L3	DQ5L3	DQ5L3	DQ5L3	DQ5L3	DQ5L3
B2	VREFB2N2	IO	DIFFIO_TX26p		R27	L19	H18						DQ17L0	DQ17L0	DQ17L0	DQ16L3	DQ16L3		DQ22L0	DQ22L0	DQ22L0			
B2	VREFB2N2	IO	DIFFIO_TX26n		R26	L18	H17						DQ17L1	DQ17L1	DQ17L1	DM16L	DM16L		DQ22L1	DQ22L1	DQ22L1			
B2	VREFB2N2	IO	DIFFIO_RX25p		L32	H26	G22						DQ5L0	DQ5L0	DQ5L0	DQ4L3	DQ4L3	DQ4L3	DQ6L0	DQ6L0	DQ6L0	DQ6L0	DQ6L0	DQ6L0
B2	VREFB2N2	IO	DIFFIO_RX25n		L31	H25	G21						DQ5L1	DQ5L1	DQ5L1	DM4L	DM4L	DM4L	DQ6L1	DQ6L1	DQ6L1	DQ6L1	DQ6L1	DQ6L1
B2	VREFB2N2	IO	DIFFIO_TX25p		R23	M24	J17						DQS17L	DQS17L	DQS17L	DQ17L0	DQ17L0	DQ17L0	DQS22L	DQS22L	DQS22L	DQ20L0	DQ20L0	DQ20L0
B2	VREFB2N2	IO	DIFFIO_TX25n		R22	M23	J16						DQ17L2	DQ17L2	DQ17L2	DQ17L1	DQ17L1	DQ17L1	DQ22L2	DQ22L2	DQ22L2	DQ20L1	DQ20L1	DQ20L1
B2	VREFB2N2	IO	DIFFIO_RX24p		N31	J26	H22						DQS5L	DQS5L	DQS5L	DQ5L0	DQ5L0	DQ5L0	DQS6L	DQS6L	DQS6L	DQS6L	DQS6L	DQS6L
B2	VREFB2N2	IO	DIFFIO_RX24n		N30	J25	H21						DQ5L2	DQ5L2	DQ5L2	DQ5L1	DQ5L1	DQ5L1	DQ6L2	DQ6L2	DQ6L2	DQ6L2	DQ6L2	DQ6L2
B2	VREFB2N2	IO	DIFFIO_TX24p		R25	M22	J19						DQ17L3	DQ17L3	DQ17L3	DQS17L	DQS17L	DQS17L	DQ22L3	DQ22L3	DQ22L3	DQS20L	DQS20L	DQS20L
B2	VREFB2N2	IO	DIFFIO_TX24n		R24	M21	J18						DM17L	DM17L	DM17L	DQ17L2	DQ17L2	DQ17L2	DQ23L0	DQ23L0	DQ23L0	DQ20L2	DQ20L2	DQ20L2
B2	VREFB2N2	VREFB2N2	VREFB2N2		P30	N23	L19																	
B2	VREFB2N2	IO	DIFFIO_RX23p		M32	L25	J21						DQ5L3	DQ5L3	DQ5L3	DQS5L	DQS5L	DQS5L	DQ6L3	DQ6L3	DQ6L3	DQ6L3	DQ6L3	DQ6L3
B2	VREFB2N2	IO	DIFFIO_RX23n		M31	L24	J20						DM5L	DM5L	DM5L	DQ5L2	DQ5L2	DQ5L2	DQ7L0	DQ7L0	DQ7L0	DQ7L0	DQ7L0	DQ7L0
B2	VREFB2N2	IO	DIFFIO_TX23p		R29	N22	K18						DQ18L0	DQ18L0	DQ18L0	DQ17L3	DQ17L3	DQ17L3	DQ23L1	DQ23L1	DQ23L1	DQ20L3	DQ20L3	DQ20L3
B2	VREFB2N2	IO	DIFFIO_TX23n		R28	N21	K17						DQ18L1	DQ18L1	DQ18L1	DM17L	DM17L	DM17L	DQS23L	DQS23L	DQS23L	DQ21L0	DQ21L0	DQ21L0
B2	VREFB2N2	IO	DIFFIO_RX22p		P32	K26	K20									DQ5L3	DQ5L3	DQ5L3	DQ7L1	DQ7L1	DQ7L1	DQ7L1	DQ7L1	DQ7L1
B2	VREFB2N2	IO	DIFFIO_RX22n		P31	K25	K19									DM5L	DM5L	DM5L	DQS7L	DQS7L	DQS7L	DQS7L	DQS7L	DQS7L
B2	VREFB2N2	IO	DIFFIO_TX22p		T28	N20	K16						DQS18L	DQS18L	DQS18L	DQ18L0	DQ18L0	DQ18L0	DQ23L2	DQ23L2	DQ23L2	DQ21L1	DQ21L1	DQ21L1
B2	VREFB2N2	IO	DIFFIO_TX22n		T27	N19	K15						DQ18L2	DQ18L2	DQ18L2	DQ18L1	DQ18L1	DQ18L1	DQ23L3	DQ23L3	DQ23L3	DQS21L	DQS21L	DQS21L
B2	VREFB2N2	IO	DIFFIO_RX21p		R31	M26	K22									DQS18L	DQS18L	DQS18L	DQ7L2	DQ7L2	DQ7L2	DQ7L2	DQ7L2	DQ7L2
B2	VREFB2N2	IO	DIFFIO_RX21n		R30	M25	K21									DQ18L2	DQ18L2	DQ18L2	DQ7L3	DQ7L3	DQ7L3	DQ7L3	DQ7L3	DQ7L3
B2	VREFB2N2	IO	DIFFIO_TX21p		T23	M20	L16						DQ18L3	DQ18L3	DQ18L3	DQ18L3	DQ18L3	DQ18L3				DQ21L2	DQ21L2	DQ21L2
B2	VREFB2N2	IO	DIFFIO_TX21n		T22	M19	L15						DM18L	DM18L	DM18L	DM18L	DM18L	DM18L				DQ21L3	DQ21L3	DQ21L3
B2	VREFB2N2	IO	CLK0n/DIFFIO_RX_C0n		T31	P24	L20																	
B2	VREFB2N2	IO	CLK0p/DIFFIO_RX_C0p		T32	P25	L21																	
B2	VREFB2N2	CLK1n	INPUT		T29	N24	M20																	
B2	VREFB2N2	CLK1p	INPUT		T30	N25	M21																	
		VCCD_PLL1			U24	P19	M16																	
		VCCA_PLL1			T24	P21	M17																	
		GNDA_PLL1			T25	N18	L17																	
		GNDA_PLL1			T26	P18	L18																	
		GNDA_PLL2			U25	R19	N17																	
		GNDA_PLL2			U26	R20	N18																	
		VCCA_PLL2			V26	R21	M19																	
		VCCD_PLL2			V25	P20	M18																	
B1	VREFB1N0	IO	CLK2p/DIFFIO_RX_C1p		U32	R26	N22																	
B1	VREFB1N0	IO	CLK2n/DIFFIO_RX_C1n		U31	R25	N21																	
B1	VREFB1N0	CLK3p	INPUT		U30	P23	N20																	
B1	VREFB1N0	CLK3n	INPUT		U29	P22	N19																	
B1	VREFB1N0	IO	DIFFIO_RX20p		V31	T25	P21						DQ6L0	DQ6L0	DQ6L0	DQ6L0	DQ6L0	DQ6L0	DQ8L0	DQ8L0	DQ8L0	DQ8L0	DQ8L0	DQ8L0
B1	VREFB1N0	IO	DIFFIO_RX20n		V30	T24	P20						DQ6L1	DQ6L1	DQ6L1	DQ6L1	DQ6L1	DQ6L1	DQ8L1	DQ8L1	DQ8L1	DQ8L1	DQ8L1	DQ8L1
B1	VREFB1N0	IO	DIFFIO_TX20p		U23	R24	N16						DQ19L0	DQ19L0	DQ19L0	DQ19L0	DQ19L0		DQ24L0	DQ24L0	DQ24L0			
B1	VREFB1N0	IO	DIFFIO_TX20n		U22	R23	N15						DQ19L1	DQ19L1	DQ19L1	DQ19L1	DQ19L1		DQ24L1	DQ24L1	DQ24L1			
B1	VREFB1N0	IO	DIFFIO_RX19p		W32	U26	R22						DQS6L	DQS6L	DQS6L	DQS6L	DQS6L	DQS6L	DQS8L	DQS8L	DQS8L	DQS8L	DQS8L	DQS8L
B1	VREFB1N0	IO	DIFFIO_RX19n		W31	U25	R21						DQ6L2	DQ6L2	DQ6L2	DQ6L2	DQ6L2	DQ6L2	DQ8L2	DQ8L2	DQ8L2	DQ8L2	DQ8L2	DQ8L2
B1	VREFB1N0	IO	DIFFIO_TX19p		U28	U24	P17						DQS19L	DQS19L	DQS19L	DQS19L	DQS19L		DQS24L	DQS24L	DQS24L			
B1	VREFB1N0	IO	DIFFIO_TX19n		U27	U23	P16						DQ19L2	DQ19L2	DQ19L2	DQ19L2	DQ19L2		DQ24L2	DQ24L2	DQ24L2			
B1	VREFB1N0	VREFB1N0	VREFB1N0		W30	T23	R20																	

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B1	VREFB1N0	IO	DIFFIO_RX18p		AA32	V26	T22						DQ6L3	DQ6L3	DQ6L3	DQ6L3	DQ6L3	DQ6L3	DQ8L3	DQ8L3	DQ8L3	DQ8L3	DQ8L3	DQ8L3
B1	VREFB1N0	IO	DIFFIO_RX18n		AA31	V25	T21						DM6L	DM6L	DM6L	DM6L	DM6L	DM6L	DQ9L0	DQ9L0	DQ9L0	DQ9L0	DQ9L0	DQ9L0
B1	VREFB1N0	IO	DIFFIO_TX18p		V29	V24	P19						DQ19L3	DQ19L3	DQ19L3	DQ19L3	DQ19L3		DQ24L3	DQ24L3	DQ24L3			
B1	VREFB1N0	IO	DIFFIO_TX18n		V28	V23	P18						DM19L	DM19L	DM19L	DM19L	DM19L		DQ25L0	DQ25L0	DQ25L0			
B1	VREFB1N0	IO	DIFFIO_RX17p		Y31	W26	U22						DQ7L0	DQ7L0	DQ7L0	DQ7L0	DQ7L0	DQ7L0	DQ9L1	DQ9L1	DQ9L1	DQ9L1	DQ9L1	DQ9L1
B1	VREFB1N0	IO	DIFFIO_RX17n		Y30	W25	U21						DQ7L1	DQ7L1	DQ7L1	DQ7L1	DQ7L1	DQ7L1	DQS9L	DQS9L	DQS9L	DQS9L	DQS9L	DQS9L
B1	VREFB1N0	IO	DIFFIO_TX17p		V24	W22	R19						DQ20L0	DQ20L0	DQ20L0	DQ20L0	DQ20L0	DQ20L0	DQ25L1	DQ25L1	DQ25L1			
B1	VREFB1N0	IO	DIFFIO_TX17n		V23	W21	R18						DQ20L1	DQ20L1	DQ20L1	DQ20L1	DQ20L1		DQS25L	DQS25L	DQS25L			
B1	VREFB1N0	IO	DIFFIO_RX16p		AB32	Y26	T20						DQS7L	DQS7L	DQS7L	DQS7L	DQS7L	DQS7L	DQ9L2	DQ9L2	DQ9L2	DQ9L2	DQ9L2	DQ9L2
B1	VREFB1N0	IO	DIFFIO_RX16n		AB31	Y25	T19						DQ7L2	DQ7L2	DQ7L2	DQ7L2	DQ7L2	DQ7L2	DQ9L3	DQ9L3	DQ9L3	DQ9L3	DQ9L3	DQ9L3
B1	VREFB1N0	IO	DIFFIO_TX16p		W29	V22	R17						DQS20L	DQS20L	DQS20L	DQS20L	DQS20L		DQ25L2	DQ25L2	DQ25L2			
B1	VREFB1N0	IO	DIFFIO_TX16n		W28	V21	R16						DQ20L2	DQ20L2	DQ20L2	DQ20L2	DQ20L2		DQ25L3	DQ25L3	DQ25L3			
B1	VREFB1N0	IO	DIFFIO_RX15p		AA30	AA26	U20						DQ7L3	DQ7L3	DQ7L3	DQ7L3	DQ7L3	DQ7L3	DQ10L0	DQ10L0	DQ10L0	DQ10L0	DQ10L0	
B1	VREFB1N0	IO	DIFFIO_RX15n		AA29	AA25	U19						DM7L	DM7L	DM7L	DM7L	DM7L	DM7L	DQ10L1	DQ10L1	DQ10L1	DQ10L1	DQ10L1	
B1	VREFB1N0	IO	DIFFIO_TX15p		W27	U22	T18						DQ20L3	DQ20L3	DQ20L3	DQ20L3	DQ20L3		DQ26L0	DQ26L0	DQ26L0			
B1	VREFB1N0	IO	DIFFIO_TX15n		W26	U21	T17						DM20L	DM20L	DM20L	DM20L	DM20L		DQ26L1	DQ26L1	DQ26L1			
B1	VREFB1N1	IO	DIFFIO_RX14p		Y29	AA24	V22						DQ8L0	DQ8L0	DQ8L0	DQ8L0	DQ8L0		DQS10L	DQS10L	DQS10L	DQS10L	DQS10L	
B1	VREFB1N1	IO	DIFFIO_RX14n		Y28	AA23	V21						DQ8L1	DQ8L1	DQ8L1	DQ8L1	DQ8L1		DQ10L2	DQ10L2	DQ10L2	DQ10L2	DQ10L2	
B1	VREFB1N1	IO	DIFFIO_TX14p		W25	T20	U18						DQ21L0	DQ21L0	DQ21L0	DQ21L0	DQ21L0		DQS26L	DQS26L	DQS26L	DQ22L0	DQ22L0	
B1	VREFB1N1	IO	DIFFIO_TX14n		W24	T19	U17						DQ21L1	DQ21L1	DQ21L1	DQ21L1	DQ21L1		DQ26L2	DQ26L2	DQ26L2	DQ22L1	DQ22L1	
B1	VREFB1N1	IO	DIFFIO_RX13p		AB30	Y24	Y22						DQS8L	DQS8L	DQS8L	DQS8L	DQS8L		DQ10L3	DQ10L3	DQ10L3	DQ10L3	DQ10L3	
B1	VREFB1N1	IO	DIFFIO_RX13n		AB29	Y23	Y21						DQ8L2	DQ8L2	DQ8L2	DQ8L2	DQ8L2		DQ11L0	DQ11L0		DQ11L0	DQ11L0	
B1	VREFB1N1	IO	DIFFIO_TX13p		Y27	T22	V19						DQS21L	DQS21L	DQS21L	DQS21L	DQS21L		DQ26L3	DQ26L3	DQ26L3	DQS22L	DQS22L	
B1	VREFB1N1	IO	DIFFIO_TX13n		Y26	T21	V18						DQ21L2	DQ21L2	DQ21L2	DQ21L2	DQ21L2		DQ27L0	DQ27L0		DQ22L2	DQ22L2	
B1	VREFB1N1	IO	DIFFIO_RX12p		AC32	W24	W22						DQ8L3	DQ8L3	DQ8L3	DQ8L3	DQ8L3		DQ11L1	DQ11L1		DQ11L1	DQ11L1	
B1	VREFB1N1	IO	DIFFIO_RX12n		AC31	W23	W21						DM8L	DM8L	DM8L	DM8L	DM8L		DQS11L	DQS11L		DQS11L	DQS11L	
B1	VREFB1N1	IO	DIFFIO_TX12p		AA27	U20	W20						DQ21L3	DQ21L3	DQ21L3	DQ21L3	DQ21L3		DQ27L1	DQ27L1		DQ22L3	DQ22L3	
B1	VREFB1N1	IO	DIFFIO_TX12n		AA26	U19	W19						DM21L	DM21L	DM21L	DM21L	DM21L		DQS27L	DQS27L		DQ23L0	DQ23L0	
B1	VREFB1N1	VREFB1N1	VREFB1N1		AD28	Y22	V20																	
B1	VREFB1N1	IO	DIFFIO_RX11p		AB28	AB26							DQ9L0	DQ9L0		DQ9L0	DQ9L0		DQ11L2	DQ11L2		DQ11L2	DQ11L2	
B1	VREFB1N1	IO	DIFFIO_RX11n		AB27	AB25							DQ9L1	DQ9L1		DQ9L1	DQ9L1		DQ11L3	DQ11L3		DQ11L3	DQ11L3	
B1	VREFB1N1	IO	DIFFIO_TX11p		Y25	V20							DQ22L0	DQ22L0		DQ22L0	DQ22L0		DQ27L2	DQ27L2		DQ23L1	DQ23L1	
B1	VREFB1N1	IO	DIFFIO_TX11n		Y24	V19							DQ22L1	DQ22L1		DQ22L1	DQ22L1		DQ27L3	DQ27L3		DQS23L	DQS23L	
B1	VREFB1N1	IO	DIFFIO_RX10p		AD32	AB24							DQS9L	DQS9L		DQS9L	DQS9L		DQ12L0	DQ12L0		DQ12L0	DQ12L0	
B1	VREFB1N1	IO	DIFFIO_RX10n		AD31	AB23							DQ9L2	DQ9L2		DQ9L2	DQ9L2		DQ12L1	DQ12L1		DQ12L1	DQ12L1	
B1	VREFB1N1	IO	DIFFIO_TX10p		Y23	AA22							DQS22L	DQS22L		DQS22L	DQS22L		DQ28L0	DQ28L0		DQ23L2	DQ23L2	
B1	VREFB1N1	IO	DIFFIO_TX10n		Y22	AA21							DQ22L2	DQ22L2		DQ22L2	DQ22L2		DQ28L1	DQ28L1		DQ23L3	DQ23L3	
B1	VREFB1N1	IO	DIFFIO_RX9p		AE32	AC25							DQ9L3	DQ9L3		DQ9L3	DQ9L3		DQS12L	DQS12L		DQS12L	DQS12L	
B1	VREFB1N1	IO	DIFFIO_RX9n		AE31	AC24							DM9L	DM9L		DM9L	DM9L		DQ12L2	DQ12L2		DQ12L2	DQ12L2	
B1	VREFB1N1	IO	DIFFIO_TX9p		AD27	Y21							DQ22L3	DQ22L3		DQ22L3	DQ22L3		DQS28L	DQS28L		DQ24L0		
B1	VREFB1N1	IO	DIFFIO_TX9n		AD26	Y20							DM22L	DM22L		DM22L	DM22L		DQ28L2	DQ28L2		DQ24L1		
B1	VREFB1N1	IO	DIFFIO_RX8p		AF32	AD26							DQ10L0			DQ10L0			DQ12L3	DQ12L3		DQ12L3	DQ12L3	
B1	VREFB1N1	IO	DIFFIO_RX8n		AF31	AD25							DQ10L1			DQ10L1			DQ13L0			DQ13L0		
B1	VREFB1N1	IO	DIFFIO_TX8p		AC27	W20							DQ23L0			DQ23L0			DQ28L3	DQ28L3		DQS24L		
B1	VREFB1N1	IO	DIFFIO_TX8n		AC26	W19							DQ23L1			DQ23L1			DQ29L0			DQ24L2		
B1	VREFB1N2	IO	DIFFIO_RX7p		AG32								DQS10L			DQS10L			DQ13L1			DQ13L1		
B1	VREFB1N2	IO	DIFFIO_RX7n		AG31								DQ10L2			DQ10L2			DQS13L			DQS13L		
B1	VREFB1N2	IO	DIFFIO_TX7p		AA23								DQS23L			DQS23L			DQ29L1			DQ24L3		
B1	VREFB1N2	IO	DIFFIO_TX7n		AA22								DQ23L2			DQ23L2			DQS29L			DQ25L0		
B1	VREFB1N2	IO	DIFFIO_RX6p		AE30								DQ10L3			DQ10L3			DQ13L2			DQ13L2		
B1	VREFB1N2	IO	DIFFIO_RX6n		AE29								DM10L			DM10L			DQ13L3			DQ13L3		
B1	VREFB1N2	IO	DIFFIO_TX6p		AA25								DQ23L3			DQ23L3			DQ29L2			DQ25L1		
B1	VREFB1N2	IO	DIFFIO_TX6n		AA24								DM23L			DM23L			DQ29L3			DQS25L		
B1	VREFB1N2	IO	DIFFIO_RX5p		AF30								DQ11L0			DQ11L0			DQ14L0			DQ14L0		
B1	VREFB1N2	IO	DIFFIO_RX5n		AF29								DQ11L1			DQ11L1			DQ14L1			DQ14L1		
B1	VREFB1N2	IO	DIFFIO_TX5p		AB26								DQ24L0			DQ24L0			DQ30L0			DQ25L2		
B1	VREFB1N2	IO	DIFFIO_TX5n		AB25								DQ24L1			DQ24L1			DQ30L1			DQ25L3		
B1	VREFB1N2	IO	DIFFIO_RX4p		AH32								DQS11L			DQS11L			DQS14L			DQS14L		

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B1	VREFB1N2	IO	DIFFIO_RX4n		AH31								DQ11L2			DQ11L2			DQ14L2			DQ14L2		
B1	VREFB1N2	IO	DIFFIO_TX4p		AC25								DQS24L			DQS24L			DQS30L			DQ26L0		
B1	VREFB1N2	IO	DIFFIO_TX4n		AC24								DQ24L2			DQ24L2			DQ30L2			DQ26L1		
B1	VREFB1N2	VREFB1N2	VREFB1N2		AG28	AC23	Y20																	
B1	VREFB1N2	IO	DIFFIO_RX3p		AG30								DQ11L3			DQ11L3			DQ14L3			DQ14L3		
B1	VREFB1N2	IO	DIFFIO_RX3n		AG29								DM11L			DM11L			DQ15L0			DQ15L0		
B1	VREFB1N2	IO	DIFFIO_TX3p		AB24								DQ24L3			DQ24L3			DQ30L3			DQS26L		
B1	VREFB1N2	IO	DIFFIO_TX3n		AB23								DM24L			DM24L			DQ31L0			DQ26L2		
B1	VREFB1N2	IO	DIFFIO_RX2p		AJ32											DQ25L0			DQ15L1			DQ15L1		
B1	VREFB1N2	IO	DIFFIO_RX2n		AJ31											DQ25L1			DQS15L			DQS15L		
B1	VREFB1N2	IO	DIFFIO_TX2p		AD25								DQ25L0			DQS25L			DQ31L1			DQ26L3		
B1	VREFB1N2	IO	DIFFIO_TX2n		AD24								DQ25L1			DQ25L2			DQS31L			DQ27L0		
B1	VREFB1N2	IO	DIFFIO_RX1p		AH30											DQ25L3			DQ15L2			DQ15L2		
B1	VREFB1N2	IO	DIFFIO_RX1n		AH29											DM25L			DQ15L3			DQ15L3		
B1	VREFB1N2	IO	DIFFIO_TX1p		AE26								DQS25L						DQ31L2			DQ27L1		
B1	VREFB1N2	IO	DIFFIO_TX1n		AE25								DQ25L2						DQ31L3			DQS27L		
B1	VREFB1N2	FPLL8CLKn	INPUT		AJ29																			
B1	VREFB1N2	FPLL8CLKp	INPUT		AJ30																			
B1	VREFB1N2	IO	DIFFIO_TX0p		AE28								DQ25L3									DQ27L2		
B1	VREFB1N2	IO	DIFFIO_TX0n		AE27								DM25L									DQ27L3		
		GNDA_PLL8			AG26																			
		GNDA_PLL8			AG27																			
		VCCA_PLL8			AF26																			
		VCCD_PLL8			AF25																			
B8	VREFB8N0	TDI		TDI	AL31	AE25	AB21																	
B8	VREFB8N0	TMS		TMS	AE24	AD24	AA20																	
B8	VREFB8N0	TCK		TCK	AF24	AB22	AA19																	
B8	VREFB8N0	TRST		TRST	AK30	AB21	AB19																	
B8	VREFB8N0	nCONFIG		nCONFIG	AL30	AA20	W18																	
B8	VREFB8N0	VCCSEL		VCCSEL	AC23	Y19	V17																	
B8	VREFB8N0	IO			AE22	AC19							DQ0B0	DQ0B0					DQ0B0	DQ0B0				
B8	VREFB8N0	IO			AF22								DQ0B1						DQ0B1					
B8	VREFB8N0	IO		CS	AC22	AC21	T16																	
B8	VREFB8N0	IO		CLKUSR	AD23	AA19	U16																	
B8	VREFB8N0	IO		nWS	AE23	AB20	V16																	
B8	VREFB8N0	IO		nRS	AF23	AC20	W17																	
B8	VREFB8N0	IO			AD22								DQS0B						DQS0B					
B8	VREFB8N0	IO			AF21								DQ0B2						DQ0B2					
B8	VREFB8N0	IO	DQ17B		AH28	AE24	R15	DQ8B	DQ3B				DQ0B3	DQ0B1	DQ0B0	DQ17B3	DQ17B3		DQ0B3	DQ0B1	DQ0B0	DQ17B3	DQ17B3	
B8	VREFB8N0	IO	DQSn17B		AK29	AD23		DQ8B	DQ3B	DQ3B	DQ1B	DQ1B	DM0B	DQS0B		DQSB17B	DQSB17B		DQ1B0	DQS0B		DQSB17B	DQSB17B	
B8	VREFB8N0	VREFB8N0	VREFB8N0		AK31	AC22	Y19																	
B8	VREFB8N0	IO	DQ17B		AJ28	AF24	T15	DQ8B	DQ3B	DQ3B	DQ1B		DQ1B0	DQ0B2	DQ0B1	DQ17B2	DQ17B2		DQ1B1	DQ0B2	DQ0B1	DQ17B2	DQ17B2	
B8	VREFB8N0	IO	DQ17B		AM29	AE22		DQ8B	DQ3B	DQ3B	DQ1B	DQ1B	DQ1B1	DQ0B3		DQ17B1	DQ17B1		DQS1B	DQ0B3		DQ17B1	DQ17B1	
B8	VREFB8N0	IO	DQ17B		AL29	AD22	Y14	DQ8B	DQ3B	DQ3B	DQ1B	DQ1B	DQS1B	DM0B	DQS0B	DQ17B0	DQ17B0		DQ1B2	DQ1B0	DQS0B	DQ17B0	DQ17B0	
B8	VREFB8N0	IO	DQS17B		AK28	AE23		DQVLD8B	DQVLD3B				DQ1B2	DQ1B0		DQS17B	DQS17B		DQ1B3	DQ1B1		DQS17B	DQS17B	
B8	VREFB8N0	IO			AG20	V18	R14						DQ1B3	DQ1B1	DQ0B2				DQ2B0	DQS1B	DQ0B2			
B8	VREFB8N0	IO			AE21								DM1B						DQ2B1					
B8	VREFB8N0	IO	DQ16B		AK27	AB19		DQ8B		DQ3B		DQ1B	DQ2B0	DQS1B		DQ16B3			DQS2B	DQ1B2		DQ16B3		
B8	VREFB8N0	IO	DQSn16B		AL28			DQSn8B		DQ3B		DQ1B	DQ2B1			DQSB16B			DQ2B2			DQSB16B		
B8	VREFB8N0	IO	DQ16B		AJ27	W18	T14	DQ8B		DQ3B		DQ1B	DQS2B	DQ1B2	DQ0B3	DQ16B2			DQ2B3	DQ1B3	DQ0B3	DQ16B2		
B8	VREFB8N0	IO	DQ16B		AM28			DQ8B		DQ3B		DQ1B	DQ2B2			DQ16B1			DQ3B0			DQ16B1		
B8	VREFB8N0	IO	DQ16B		AM27	AC18		DQ8B		DQ3B		DQ1B	DQ2B3	DQ1B3		DQ16B0			DQ3B1	DQ2B0		DQ16B0		
B8	VREFB8N0	IO	DQS16B		AL27			DQS8B		DQVLD3B			DM2B			DQS16B			DQS3B			DQS16B		
B8	VREFB8N0	IO			AB21								DQ3B0						DQ3B2					
B8	VREFB8N0	IO			AD21	Y18	U15						DQ3B1	DM1B	DM0B				DQ3B3	DQ2B1	DQ1B0			
B8	VREFB8N0	IO	DQ15B		AK26	AF22		DQ7B	DQ3B	DQ3B	DQ1B	DQ1B	DQS3B	DQ2B0		DQ15B3	DQ15B3		DQ4B0	DQS2B		DQ15B3	DQ15B3	
B8	VREFB8N0	IO	DQSn15B		AL26	AE21	W14	DQ7B	DQSn3B	DQSn3B	DQ1B	DQ1B	DQ3B2	DQ2B1	DQ1B0	DQSB15B	DQSB15B		DQ4B1	DQ2B2	DQ1B1	DQSB15B	DQSB15B	
B8	VREFB8N1	IO	DQ15B		AJ26	AD21		DQ7B	DQ3B	DQ3B	DQ1B	DQ1B	DQ3B3	DQS2B		DQ15B2	DQ15B2		DQS4B	DQ2B3		DQ15B2	DQ15B2	

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B8	VREFB8N1	IO	DQ15B		AM25	AD20	U14	DQ7B	DQ3B	DQ3B	DQ1B	DQ1B	DM3B	DQ2B2	DQ1B1	DQ15B1	DQ15B1		DQ4B2	DQ3B0	DQS1B	DQ15B1	DQ15B1	
B8	VREFB8N1	IO	DQ15B		AM26	AF21		DQ7B	DQ3B	DQ3B	DQ1B	DQ1B	DQ4B0	DQ2B3		DQ15B0	DQ15B0		DQ4B3	DQ3B1		DQ15B0	DQ15B0	
B8	VREFB8N1	IO	DQS15B		AL25	AE20	W15	DQVLD7B	DQS3B	DQS3B	DQVLD1B		DQ4B1	DM2B	DQS1B	DQS15B	DQS15B		DQ5B0	DQS3B	DQ1B2	DQS15B	DQS15B	
B8	VREFB8N1	IO			AC21								DQS4B						DQ5B1					
B8	VREFB8N1	IO			AF20								DQ4B2						DQS5B					
B8	VREFB8N1	IO	DQ14B		AG24	AB18		DQ7B		DQ3B		DQ1B	DQ4B3	DQ3B0		DQ14B3			DQ5B2	DQ3B2		DQ14B3		
B8	VREFB8N1	IO	DQSn14B		AH25			DQSn7B		DQ3B		DQ1B	DM4B			DQSB14B			DQ5B3			DQSB14B		
B8	VREFB8N1	IO	DQ14B		AH26	V17	T13	DQ7B		DQ3B		DQ1B	DQ5B0	DQ3B1	DQ1B2	DQ14B2			DQ6B0	DQ3B3	DQ1B3	DQ14B2		
B8	VREFB8N1	IO	DQ14B		AH24			DQ7B		DQ3B		DQ1B	DQ5B1			DQ14B1			DQ6B1			DQ14B1		
B8	VREFB8N1	IO	DQ14B		AK25	AC17		DQ7B		DQ3B		DQ1B	DQS5B	DQS3B		DQ14B0			DQS6B	DQ4B0		DQ14B0		
B8	VREFB8N1	IO	DQS14B		AJ25			DQS7B					DQ5B2			DQS14B			DQ6B2			DQS14B		
B8	VREFB8N1	IO			AB20	W17	U13						DQ5B3	DQ3B2	DQ1B3				DQ6B3	DQ4B1	DQ2B0			
B8	VREFB8N1	IO			AE20								DM5B						DQ7B0					
B8	VREFB8N1	IO	DQ13B		AM24	AF20	Y18	DQ6B	DQ2B		DQ1B		DQ6B0	DQ3B3	DM1B	DQ13B3	DQ13B3	DQ13B3	DQ7B1	DQS4B	DQ2B1	DQ13B3	DQ13B3	DQ13B3
B8	VREFB8N1	IO	DQSn13B		AL24	AE19	AA18	DQ6B	DQ2B	DQ2B	DQSn1B	DQSn1B	DQ6B1	DM3B	DQ2B0	DQSB13B	DQSB13B	DQSB13B	DQS7B	DQ4B2	DQS2B	DQSB13B	DQSB13B	DQSB13B
B8	VREFB8N1	VREFB8N1	VREFB8N1		AJ24	AA18	W16																	
B8	VREFB8N1	IO	DQ13B		AK24	AD19	Y17	DQ6B	DQ2B	DQ2B	DQ1B	DQ1B	DQS6B	DQ4B0	DQ2B1	DQ13B2	DQ13B2	DQ13B2	DQ7B2	DQ4B3	DQ2B2	DQ13B2	DQ13B2	DQ13B2
B8	VREFB8N1	IO	DQ13B		AK23	AD18	AB18	DQ6B	DQ2B	DQ2B	DQ1B	DQ1B	DQ6B2	DQ4B1	DQS2B	DQ13B1	DQ13B1	DQ13B1	DQ7B3	DQ5B0	DQ2B3	DQ13B1	DQ13B1	DQ13B1
B8	VREFB8N1	IO	DQ13B		AM23	AF19	AB17	DQ6B	DQ2B	DQ2B	DQ1B	DQ1B	DQ6B3	DQS4B	DQ2B2	DQ13B0	DQ13B0	DQ13B0	DQ8B0	DQ5B1	DQ3B0	DQ13B0	DQ13B0	DQ13B0
B8	VREFB8N1	IO	DQS13B		AL23	AE18	AA17	DQVLD6B	DQVLD2B		DQS1B	DQS1B	DM6B	DQ4B2	DQ2B3	DQS13B	DQS13B	DQS13B	DQ8B1	DQS5B	DQ3B1	DQS13B	DQS13B	DQS13B
B8	VREFB8N1	IO			AD20								DQ7B0						DQS8B					
B8	VREFB8N1	IO			AC20	Y17							DQ7B1	DQ4B3					DQ8B2	DQ5B2				
B8	VREFB8N1	IO	DQ12B		AG23	AB17	V15	DQ6B		DQ2B		DQ1B	DQS7B	DM4B	DM2B	DQ12B3			DQ8B3	DQ5B3	DQS3B	DQ12B3		
B8	VREFB8N1	IO	DQSn12B		AH22			DQSn6B		DQ2B		DQ1B	DQ7B2			DQSB12B			DQ9B0			DQSB12B		
B8	VREFB8N1	IO	DQ12B		AG22	V16		DQ6B		DQ2B		DQ1B	DQ7B3	DQ5B0		DQ12B2			DQ9B1	DQ6B0		DQ12B2		
B8	VREFB8N1	IO	DQ12B		AK22			DQ6B		DQ2B		DQ1B	DM7B			DQ12B1			DQS9B			DQ12B1		
B8	VREFB8N1	IO	DQ12B		AJ23	AA17	U12	DQ6B		DQ2B		DQ1B	DQ8B0	DQ5B1	DQ3B0	DQ12B0			DQ9B2	DQ6B1	DQ3B2	DQ12B0		
B8	VREFB8N1	IO	DQS12B		AJ22			DQS6B		DQVLD2B		DQVLD1B	DQ8B1			DQS12B			DQ9B3			DQS12B		
B8	VREFB8N1	IO			AB19								DQS8B						DQ10B0					
B8	VREFB8N1	IO			AF19	W16							DQ8B2	DQS5B					DQ10B1	DQS6B				
B8	VREFB8N1	IO	DQ11B		AM22	AF18	AB16	DQ5B	DQ2B	DQ2B	DQ1B	DQ1B	DQ8B3	DQ5B2	DQ3B1	DQ11B3	DQ11B3	DQ11B3	DQS10B	DQ6B2	DQ3B3	DQ11B3	DQ11B3	DQ11B3
B8	VREFB8N1	IO	DQSn11B		AL22	AE17	AA16	DQ5B	DQSn2B	DQSn2B	DQ1B	DQ1B	DM8B	DQ5B3	DQS3B	DQSB11B	DQSB11B	DQSB11B	DQ10B2	DQ6B3	DQ4B0	DQSB11B	DQSB11B	DQSB11B
B8	VREFB8N2	IO	DQ11B		AJ21	AD17	Y16	DQ5B	DQ2B	DQ2B	DQ1B	DQ1B	DQ9B0	DM5B	DQ3B2	DQ11B2	DQ11B2	DQ11B2	DQ10B3	DQ7B0	DQ4B1	DQ11B2	DQ11B2	DQ11B2
B8	VREFB8N2	IO	DQ11B		AK21	AF17	Y15	DQ5B	DQ2B	DQ2B	DQ1B	DQ1B	DQ9B1	DQ6B0	DQ3B3	DQ11B1	DQ11B1	DQ11B1	DQ11B0	DQ7B1	DQS4B	DQ11B1	DQ11B1	DQ11B1
B8	VREFB8N2	IO	DQ11B		AM21	AD16	AB15	DQ5B	DQ2B	DQ2B	DQ1B	DQ1B	DQS9B	DQ6B1	DM3B	DQ11B0	DQ11B0	DQ11B0	DQ11B1	DQS7B	DQ4B2	DQ11B0	DQ11B0	DQ11B0
B8	VREFB8N2	IO	DQS11B		AL21	AE16	AA15	DQVLD5B	DQS2B	DQS2B			DQ9B2	DQS6B		DQS11B	DQS11B	DQS11B	DQ11B0	DQ7B2	DQ4B3	DQS11B	DQS11B	DQS11B
B8	VREFB8N2	IO			AB18								DQ9B3						DQ11B2					
B8	VREFB8N2	IO			AC19								DM9B						DQ11B3					
B8	VREFB8N2	IO	DQ10B		AH20	AA16	V13	DQ5B		DQ2B		DQ1B	DQ10B0	DQ6B2		DQ10B3			DQ12B0	DQ7B3		DQ10B3		
B8	VREFB8N2	IO	DQSn10B		AJ20			DQSn5B		DQ2B		DQ1B	DQ10B1			DQSB10B			DQ12B1			DQSB10B		
B8	VREFB8N2	IO	DQ10B		AJ19	V14		DQ5B		DQ2B		DQ1B	DQS10B	DQ6B3		DQ10B2			DQS12B			DQ10B2		
B8	VREFB8N2	IO	DQ10B		AH19			DQ5B		DQ2B		DQ1B	DQ10B2			DQ10B1			DQ12B2			DQ10B1		
B8	VREFB8N2	IO	DQ10B		AL20	W15	V14	DQ5B		DQ2B		DQ1B	DQ10B3	DM6B		DQ10B0			DQ12B3			DQ10B0		
B8	VREFB8N2	IO	DQS10B		AK20			DQS5B					DM10B			DQS10B			DQ13B0			DQS10B		
B8	VREFB8N2	VREFB8N2	VREFB8N2		AK19	AC16	AA14																	
B8	VREFB8N2	IO			AB17								DQ11B0						DQ13B1					
B8	VREFB8N2	IO			AC18	Y16							DQ11B1						DQS13B					
B8	VREFB8N2	IO			AD19								DQS11B						DQ13B2					
B8	VREFB8N2	IO			AE19								DQ11B2						DQ13B3					
B8	VREFB8N2	IO		RUnLU	AG17	Y15	V11																	
B8	VREFB8N2	IO		DEV_OE	AH17	AA14	V12																	
B8	VREFB8N2	IO		DEV_CLRn	AG19	AA15	W11																	
B8	VREFB8N2	IO		nCS	AG18	AB15	W12																	
B12	VREFB8N2	IO	PLL12_FBn/OUT2n		AL19	AC15	W13																	
B12	VREFB8N2	IO	PLL12_FBp/OUT2p		AM19																			
B8	VREFB8N2	IO			AC17								DQ11B3											
B8	VREFB8N2	IO			AD18	AB16							DM11B											
B12	VREFB8N2	IO	PLL12_OUT1n		AH18																			

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B12	VREFB8N2	IO	PLL12_OUT1p		AJ18																			
B12	VREFB8N2	IO	PLL12_OUT0n		AK18																			
B12	VREFB8N2	IO	PLL12_OUT0p		AL18	AD15	Y13																	
B8	VREFB8N2	IO	CLK5n		AJ17	AB14	Y12																	
B8	VREFB8N2	IO	CLK5p		AK17	AC14	AA12																	
B8	VREFB8N2	IO	CLK4n		AL17	AE15	AA13																	
B8	VREFB8N2	IO	CLK4p		AM17	AF15	AB13																	
B12		VCC_PLL12_OUT			AF16																			
		VCCD_PLL12			AE18																			
		VCCA_PLL12			AF18																			
		GNDA_PLL12			AD17																			
		GNDA_PLL12			AE17																			
		GNDA_PLL6			AD16	W13	T11																	
		GNDA_PLL6			AE16	W14	T12																	
		VCCA_PLL6			AE15	Y13	R12																	
		VCCD_PLL6			AD15	Y14	U11																	
B10		VCC_PLL6_OUT			AF15	V13	R11																	
B7	VREFB7N0	IO	CLK7p		AH16	AC13	Y10																	
B7	VREFB7N0	IO	CLK7n		AG16	AB13	W10																	
B7	VREFB7N0	IO	CLK6p		AM16	AE14	AA11																	
B7	VREFB7N0	IO	CLK6n		AL16	AD14	Y11																	
B10	VREFB7N0	IO	PLL6_OUT1p		AJ15	AE13	AA9																	
B10	VREFB7N0	IO	PLL6_OUT1n		AH15	AD13	Y9																	
B10	VREFB7N0	IO	PLL6_OUT0p		AK16	AF12	AB10																	
B10	VREFB7N0	IO	PLL6_OUT0n		AJ16	AE12	AA10																	
B10	VREFB7N0	IO	PLL6_FBp/OUT2p		AL15	AD12	W9																	
B10	VREFB7N0	IO	PLL6_FBn/OUT2n		AK15	AC12	V9																	
B7	VREFB7N0	IO			AB16								DQ12B0						DQ14B0					
B7	VREFB7N0	IO			AC16								DQ12B1						DQ14B1					
B7	VREFB7N0	IO			AB15								DQS12B						DQS14B					
B7	VREFB7N0	IO			AC15								DQ12B2						DQ14B2					
B7	VREFB7N0	IO	DQ9B		AM14	AE11	AB8	DQ4B	DQ1B				DQ12B3	DQ7B0	DQ4B0	DQ9B3	DQ9B3	DQ9B3	DQ14B3	DQ8B0	DQ5B0	DQ9B3	DQ9B3	DQ9B3
B7	VREFB7N0	IO	DQSn9B		AL13	AE10	AA8	DQ4B	DQ1B	DQ1B	DQ0B	DQ0B	DM12B	DQ7B1	DQ4B1	DQSB9B	DQSB9B	DQSB9B	DQ15B0	DQ8B1	DQ5B1	DQSB9B	DQSB9B	DQSB9B
B7	VREFB7N0	VREFB7N0	VREFB7N0		AK14	AC11	W8																	
B7	VREFB7N0	IO	DQ9B		AJ13	AC10	Y7	DQ4B	DQ1B	DQ1B	DQ0B		DQ13B0	DQS7B	DQS4B	DQ9B2	DQ9B2	DQ9B2	DQ15B1	DQS8B	DQS5B	DQ9B2	DQ9B2	DQ9B2
B7	VREFB7N0	IO	DQ9B		AJ14	AF10	Y8	DQ4B	DQ1B	DQ1B	DQ0B	DQ0B	DQ13B1	DQ7B2	DQ4B2	DQ9B1	DQ9B1	DQ9B1	DQS15B	DQ8B2	DQ5B2	DQ9B1	DQ9B1	DQ9B1
B7	VREFB7N0	IO	DQ9B		AL14	AD11	AB7	DQ4B	DQ1B	DQ1B	DQ0B	DQ0B	DQS13B	DQ7B3	DQ4B3	DQ9B0	DQ9B0	DQ9B0	DQ15B2	DQ8B3	DQ5B3	DQ9B0	DQ9B0	DQ9B0
B7	VREFB7N0	IO	DQS9B		AK13	AD10	AA7	DQVLD4B	DQVLD1B				DQ13B2	DM7B	DM4B	DQS9B	DQS9B	DQS9B	DQ15B3	DQ9B0	DQ6B0	DQS9B	DQS9B	DQS9B
B7	VREFB7N0	IO			AD14								DQ13B3						DQ16B0					
B7	VREFB7N0	IO			AC14								DM13B						DQ16B1					
B7	VREFB7N0	IO	DQ8B		AG15	Y12		DQ4B		DQ1B		DQ0B	DQ14B0	DQ8B0		DQ8B3			DQS16B	DQ9B1		DQ8B3		
B7	VREFB7N0	IO	DQSn8B		AH14			DQSn4B		DQ1B		DQ0B	DQ14B1			DQSB8B			DQ16B2			DQSB8B		
B7	VREFB7N0	IO	DQ8B		AF13	W12	U10	DQ4B		DQ1B		DQ0B	DQS14B	DQ8B1	DQ5B0	DQ8B2			DQ16B3	DQS9B	DQ6B1	DQ8B2		
B7	VREFB7N0	IO	DQ8B		AG13	Y11		DQ4B		DQ1B		DQ0B	DQ14B2	DQS8B		DQ8B1			DQ17B0	DQ9B2		DQ8B1		
B7	VREFB7N0	IO	DQ8B		AH13			DQ4B		DQ1B		DQ0B	DQ14B3			DQ8B0			DQ17B1			DQ8B0		
B7	VREFB7N0	IO	DQS8B		AG14	AA12	V10	DQS4B		DQVLD1B			DM14B	DQ8B2	DQ5B1	DQS8B			DQS17B	DQ9B3	DQS6B	DQS8B		
B7	VREFB7N0	IO			AB14								DQ15B0						DQ17B2					
B7	VREFB7N0	IO			AE14								DQ15B1						DQ17B3					
B7	VREFB7N0	IO	DQ7B		AM12	AF9	AB6	DQ3B	DQ1B	DQ1B	DQ0B	DQ0B	DQS15B	DQ8B3	DQS5B	DQ7B3	DQ7B3	DQ7B3	DQ18B0	DQ10B0	DQ6B2	DQ7B3	DQ7B3	DQ7B3
B7	VREFB7N0	IO	DQSn7B		AL12	AE9	AA6	DQ3B	DQSn1B	DQSn1B	DQ0B	DQ0B	DQ15B2	DM8B	DQ5B2	DQSB7B	DQSB7B	DQSB7B	DQ18B1	DQ10B1	DQ6B3	DQSB7B	DQSB7B	DQSB7B
B7	VREFB7N1	IO	DQ7B		AM11	AD8	Y6	DQ3B	DQ1B	DQ1B	DQ0B	DQ0B	DQ15B3	DQ9B0	DQ5B3	DQ7B2	DQ7B2	DQ7B2	DQS18B	DQS10B	DQ7B0	DQ7B2	DQ7B2	DQ7B2
B7	VREFB7N1	IO	DQ7B		AJ12	AC8	Y5	DQ3B	DQ1B	DQ1B	DQ0B	DQ0B	DM15B	DQ9B1	DM5B	DQ7B1	DQ7B1	DQ7B1	DQ18B2	DQ10B2	DQ7B1	DQ7B1	DQ7B1	DQ7B1
B7	VREFB7N1	IO	DQ7B		AK12	AC9	AB5	DQ3B	DQ1B	DQ1B	DQ0B	DQ0B	DQ16B0	DQS9B	DQ6B0	DQ7B0	DQ7B0	DQ7B0	DQ18B3	DQ10B3	DQS7B	DQ7B0	DQ7B0	DQ7B0
B7	VREFB7N1	IO	DQS7B		AL11	AD9	AA5	DQVLD3B	DQS1B	DQS1B	DQVLD0B		DQ16B1	DQ9B2	DQ6B1	DQS7B	DQS7B	DQS7B	DQ19B0	DQ11B0	DQ7B2	DQS7B	DQS7B	DQS7B
B7	VREFB7N1	IO			AB13								DQS16B						DQ19B1					
B7	VREFB7N1	IO			AD13								DQ16B2						DQS19B					
B7	VREFB7N1	IO	DQ6B		AM10	V12		DQ3B		DQ1B		DQ0B	DQ16B3	DQ9B3		DQ6B3			DQ19B2	DQ11B1		DQ6B3		
B7	VREFB7N1	IO	DQSn6B		AK11	AA11		DQSn3B		DQ1B		DQ0B	DM16B	DM9B		DQSB6B			DQ19B3	DQS11B		DQSB6B		

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)							x4 Mode (Note 3)						
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	
B7	VREFB7N1	IO	DQ6B		AL10			DQ3B		DQ1B		DQ0B	DQ17B0			DQ6B2			DQ20B0			DQ6B2			
B7	VREFB7N1	IO	DQ6B		AH11	W11	T10	DQ3B		DQ1B		DQ0B	DQ17B1	DQ10B0	DQS6B	DQ6B1			DQ20B1	DQ11B2	DQ7B3	DQ6B1			
B7	VREFB7N1	IO	DQ6B		AJ11			DQ3B		DQ1B		DQ0B	DQS17B			DQ6B0			DQS20B			DQ6B0			
B7	VREFB7N1	IO	DQS6B		AK10	AB12		DQS3B					DQ17B2	DQ10B1		DQS6B			DQ20B2	DQ11B3		DQS6B			
B7	VREFB7N1	IO			AC13								DQ17B3						DQ20B3						
B7	VREFB7N1	IO			AE13								DM17B						DQ21B0						
B7	VREFB7N1	IO	DQ5B		AG12	AF8	U9	DQ2B	DQ0B		DQ0B		DQ18B0	DQS10B	DQ6B2	DQ5B3	DQ5B3		DQ21B1	DQ12B0	DQ8B0	DQ5B3	DQ5B3		
B7	VREFB7N1	IO	DQSn5B		AG11	AE8		DQ2B	DQ0B	DQ0B	DQSn0B	DQSn0B	DQ18B1	DQ10B2		DQSB5B	DQSB5B		DQS21B	DQ12B1		DQSB5B	DQSB5B		
B7	VREFB7N1	VREFB7N1	VREFB7N1		AJ9	AA9	W6																		
B7	VREFB7N1	IO	DQ5B		AF10	AC7	T9	DQ2B	DQ0B	DQ0B	DQ0B	DQ0B	DQS18B	DQ10B3	DQ6B3	DQ5B2	DQ5B2		DQ21B2	DQS12B	DQ8B1	DQ5B2	DQ5B2		
B7	VREFB7N1	IO	DQ5B		AG10	AD7		DQ2B	DQ0B	DQ0B	DQ0B	DQ0B	DQ18B2	DM10B		DQ5B1	DQ5B1		DQ21B3	DQ12B2		DQ5B1	DQ5B1		
B7	VREFB7N1	IO	DQ5B		AF12	AF7		DQ2B	DQ0B	DQ0B	DQ0B	DQ0B	DQ18B3	DQ11B0		DQ5B0	DQ5B0		DQ22B0	DQ12B3		DQ5B0	DQ5B0		
B7	VREFB7N1	IO	DQS5B		AF11	AE7	V8	DQVLD2B	DQVLD0B		DQS0B	DQS0B	DM18B	DQ11B1	DM6B	DQS5B	DQS5B		DQ22B1	DQ13B0	DQS8B	DQS5B	DQS5B		
B7	VREFB7N1	IO			AB12								DQ19B0						DQS22B						
B7	VREFB7N1	IO			AE12	Y10							DQ19B1	DQS11B					DQ22B2	DQ13B1					
B7	VREFB7N1	IO	DQ4B		AM9			DQ2B		DQ0B		DQ0B	DQS19B			DQ4B3			DQ22B3			DQ4B3			
B7	VREFB7N1	IO	DQSn4B		AL9	AB11	W7	DQSn2B		DQ0B		DQ0B	DQ19B2	DQ11B2	DQ7B0	DQSB4B			DQ23B0	DQS13B	DQ8B2	DQSB4B			
B7	VREFB7N1	IO	DQ4B		AJ8			DQ2B		DQ0B		DQ0B	DQ19B3			DQ4B2			DQ23B1			DQ4B2			
B7	VREFB7N1	IO	DQ4B		AK8	Y9		DQ2B		DQ0B		DQ0B	DM19B	DQ11B3		DQ4B1			DQS23B	DQ13B2		DQ4B1			
B7	VREFB7N1	IO	DQ4B		AJ10	AA10		DQ2B		DQ0B		DQ0B	DQ20B0	DM11B		DQ4B0			DQ23B2	DQ13B3		DQ4B0			
B7	VREFB7N1	IO	DQS4B		AK9			DQS2B		DQVLD0B		DQVLD0B	DQ20B1			DQS4B			DQ23B3			DQS4B			
B7	VREFB7N1	IO			AC12								DQS20B						DQ24B0						
B7	VREFB7N1	IO			AD12								DQ20B2						DQ24B1						
B7	VREFB7N1	IO	DQ3B		AM8	AF6	U8	DQ1B	DQ0B	DQ0B	DQ0B	DQ0B	DQ20B3	DQ12B0	DQ7B1	DQ3B3	DQ3B3		DQS24B	DQ14B0	DQ8B3	DQ3B3	DQ3B3		
B7	VREFB7N1	IO	DQSn3B		AL8	AE6		DQ1B	DQSn0B	DQSn0B	DQ0B	DQ0B	DM20B	DQ12B1		DQSB3B	DQSB3B		DQ24B2	DQ14B1		DQSB3B	DQSB3B		
B7	VREFB7N2	IO	DQ3B		AJ7	AC6	T8	DQ1B	DQ0B	DQ0B	DQ0B	DQ0B	DQ21B0	DQS12B	DQS7B	DQ3B2	DQ3B2		DQ24B3	DQS14B	DQ9B0	DQ3B2	DQ3B2		
B7	VREFB7N2	IO	DQ3B		AK7	AE5		DQ1B	DQ0B	DQ0B	DQ0B	DQ0B	DQ21B1	DQ12B2		DQ3B1	DQ3B1		DQ25B0	DQ14B2		DQ3B1	DQ3B1		
B7	VREFB7N2	IO	DQ3B		AM7	AF5	V7	DQ1B	DQ0B	DQ0B	DQ0B	DQ0B	DQS21B	DQ12B3	DQ7B2	DQ3B0	DQ3B0		DQ25B1	DQ14B3	DQ9B1	DQ3B0	DQ3B0		
B7	VREFB7N2	IO	DQS3B		AL7	AD6		DQVLD1B	DQS0B	DQS0B			DQ21B2	DM12B		DQS3B	DQS3B		DQS25B	DQ15B0		DQS3B	DQS3B		
B7	VREFB7N2	IO			AD11								DQ21B3						DQ25B2						
B7	VREFB7N2	IO			AE11								DM21B						DQ25B3						
B7	VREFB7N2	IO	DQ2B		AM6			DQ1B		DQ0B		DQ0B	DQ22B0			DQ2B3			DQ26B0			DQ2B3			
B7	VREFB7N2	IO	DQSn2B		AL6			DQSn1B		DQ0B		DQ0B	DQ22B1			DQSB2B			DQ26B1			DQSB2B			
B7	VREFB7N2	IO	DQ2B		AJ6	W10		DQ1B		DQ0B		DQ0B	DQS22B	DQ13B0		DQ2B2			DQS26B	DQ15B1		DQ2B2			
B7	VREFB7N2	IO	DQ2B		AK6	W9		DQ1B		DQ0B		DQ0B	DQ22B2	DQ13B1		DQ2B1			DQ26B2	DQS15B		DQ2B1			
B7	VREFB7N2	IO	DQ2B		AM5			DQ1B		DQ0B		DQ0B	DQ22B3			DQ2B0			DQ26B3			DQ2B0			
B7	VREFB7N2	IO	DQS2B		AL5		R9	DQS1B					DM22B		DQ7B3	DQS2B			DQ27B0		DQS9B	DQS2B			
B7	VREFB7N2	IO			AE10								DQ23B0						DQ27B1						
B7	VREFB7N2	IO			AC11								DQ23B1						DQS27B						
B7	VREFB7N2	IO	DQ1B		AH9	AD5		DQ0B					DQS23B	DQS13B		DQ1B3	DQ1B3		DQ27B2	DQ15B2		DQ1B3	DQ1B3		
B7	VREFB7N2	IO	DQSn1B		AH8	AE4	V6	DQ0B					DQ23B2	DQ13B2	DM7B	DQSB1B	DQSB1B		DQ27B3	DQ15B3	DQ9B2	DQSB1B	DQSB1B		
B7	VREFB7N2	VREFB7N2	VREFB7N2		AK2	AC5	AA4																		
B7	VREFB7N2	IO	DQ1B		AH7	AD3		DQ0B					DQ23B3	DQ13B3		DQ1B2	DQ1B2		DQ28B0	DQ16B0		DQ1B2	DQ1B2		
B7	VREFB7N2	IO	DQ1B		AH6	AD4		DQ0B					DM23B	DM13B		DQ1B1	DQ1B1		DQ28B1	DQ16B1		DQ1B1	DQ1B1		
B7	VREFB7N2	IO	DQ1B		AG9	AF3	T7	DQ0B					DQ24B0	DQ14B0		DQ1B0	DQ1B0		DQS28B	DQS16B	DQ9B3	DQ1B0	DQ1B0		
B7	VREFB7N2	IO	DQS1B		AG8	AE3		DQVLD0B					DQ24B1	DQ14B1		DQS1B	DQS1B		DQ28B2	DQ16B2		DQS1B	DQS1B		
B7	VREFB7N2	IO	RDN7		AB11	AB9	U7																		
B7	VREFB7N2	IO	RUP7		AD10	AB10	W5																		
B7	VREFB7N2	IO	DQ0B		AM4	AA8	U6	DQ0B					DQS24B	DQS14B		DQ0B3			DQ28B3	DQ16B3		DQ0B3			
B7	VREFB7N2	IO	DQSn0B		AK5	AB8		DQSn0B					DQ24B2	DQ14B2		DQSB0B			DQ29B0			DQSB0B			
B7	VREFB7N2	IO	DQ0B		AH5			DQ0B					DQ24B3			DQ0B2			DQ29B1			DQ0B2			
B7	VREFB7N2	IO	DQ0B		AJ5	V10		DQ0B					DM24B	DQ14B3		DQ0B1			DQS29B			DQ0B1			
B7	VREFB7N2	IO	DQ0B		AL4	AB7		DQ0B						DM14B		DQ0B0			DQ29B2			DQ0B0			
B7	VREFB7N2	IO	DQS0B		AK4			DQS0B								DQS0B			DQ29B3			DQS0B			
B7	VREFB7N2	PORSEL		PORSEL	AL2	Y8	V5																		
B7	VREFB7N2	nIO_PULLUP		nIO_PULLUP	AK3	AE2	AB2																		
B7	VREFB7N2	PLL_ENA		PLL_ENA	AF8	AB6	Y4																		
		GND			AF9	AA7	AB4																		

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B7	VREFB7N2	nCEO		nCEO	AL3	AB5	AA3																	
		VCCD_PLL9			AE8																			
		VCCA_PLL9			AE7																			
		GNDA_PLL9			AF7																			
		GNDA_PLL9			AG7																			
B6	VREFB6N0	IO	DIFFIO_TX83n		AD9								DM25R											
B6	VREFB6N0	IO	DIFFIO_TX83p		AD8								DQ25R3											
B6	VREFB6N0	FPLL9CLKp	INPUT		AJ3																			
B6	VREFB6N0	FPLL9CLKn	INPUT		AJ4																			
B6	VREFB6N0	IO	DIFFIO_TX82n		AC9								DQ25R2						DQ31R3					
B6	VREFB6N0	IO	DIFFIO_TX82p		AC8								DQS25R						DQ31R2					
B6	VREFB6N0	IO	DIFFIO_RX82n		AJ2											DM25R			DQ15R3					
B6	VREFB6N0	IO	DIFFIO_RX82p		AJ1											DQ25R3			DQ15R2					
B6	VREFB6N0	IO	DIFFIO_TX81n		AB10								DQ25R1			DQ25R2			DQS31R			DQ23R3		
B6	VREFB6N0	IO	DIFFIO_TX81p		AB9								DQ25R0			DQS25R			DQ31R1			DQ23R2		
B6	VREFB6N0	IO	DIFFIO_RX81n		AH4											DQ25R1			DQS15R			DQ13R3		
B6	VREFB6N0	IO	DIFFIO_RX81p		AH3											DQ25R0			DQ15R1			DQ13R2		
B6	VREFB6N0	IO	DIFFIO_TX80n		AB8								DM24R			DM24R			DQ31R0			DQS23R		
B6	VREFB6N0	IO	DIFFIO_TX80p		AB7								DQ24R3			DQ24R3			DQ30R3			DQ23R1		
B6	VREFB6N0	IO	DIFFIO_RX80n		AH2								DM11R			DM11R			DQ15R0			DQS13R		
B6	VREFB6N0	IO	DIFFIO_RX80p		AH1								DQ11R3			DQ11R3			DQ14R3			DQ13R1		
B6	VREFB6N0	VREFB6N0	VREFB6N0		AG5	AC4	Y3																	
B6	VREFB6N0	IO	DIFFIO_TX79n		AC7								DQ24R2			DQ24R2			DQ30R2			DQ23R0		
B6	VREFB6N0	IO	DIFFIO_TX79p		AC6								DQS24R			DQS24R			DQS30R			DQ22R3		
B6	VREFB6N0	IO	DIFFIO_RX79n		AG4								DQ11R2			DQ11R2			DQ14R2			DQ13R0		
B6	VREFB6N0	IO	DIFFIO_RX79p		AG3								DQS11R			DQS11R			DQS14R			DQ12R3		
B6	VREFB6N0	IO	DIFFIO_TX78n		AA9								DQ24R1			DQ24R1			DQ30R1			DQ22R2		
B6	VREFB6N0	IO	DIFFIO_TX78p		AA8								DQ24R0			DQ24R0			DQ30R0			DQS22R		
B6	VREFB6N0	IO	DIFFIO_RX78n		AG2								DQ11R1			DQ11R1			DQ14R1			DQ12R2		
B6	VREFB6N0	IO	DIFFIO_RX78p		AG1								DQ11R0			DQ11R0			DQ14R0			DQS12R		
B6	VREFB6N0	IO	DIFFIO_TX77n		AD7								DM23R			DM23R			DQ29R3			DQ22R1		
B6	VREFB6N0	IO	DIFFIO_TX77p		AD6								DQ23R3			DQ23R3			DQ29R2			DQ22R0		
B6	VREFB6N0	IO	DIFFIO_RX77n		AF4								DM10R			DM10R			DQ13R3			DQ12R1		
B6	VREFB6N0	IO	DIFFIO_RX77p		AF3								DQ10R3			DQ10R3			DQ13R2			DQ12R0		
B6	VREFB6N0	IO	DIFFIO_TX76n		AA7								DQ23R2			DQ23R2			DQS29R			DQ21R3		
B6	VREFB6N0	IO	DIFFIO_TX76p		AA6								DQS23R			DQS23R			DQ29R1			DQ21R2		
B6	VREFB6N0	IO	DIFFIO_RX76n		AF2								DQ10R2			DQ10R2			DQS13R			DQ11R3		
B6	VREFB6N0	IO	DIFFIO_RX76p		AF1								DQS10R			DQS10R			DQ13R1			DQ11R2		
B6	VREFB6N1	IO	DIFFIO_TX75n		AA11	Y7							DQ23R1			DQ23R1			DQ29R0			DQS21R		
B6	VREFB6N1	IO	DIFFIO_TX75p		AA10	Y6							DQ23R0			DQ23R0			DQ28R3	DQ28R3		DQ21R1		
B6	VREFB6N1	IO	DIFFIO_RX75n		AE4	AD2							DQ10R1			DQ10R1			DQ13R0			DQS11R		
B6	VREFB6N1	IO	DIFFIO_RX75p		AE3	AD1							DQ10R0			DQ10R0			DQ12R3	DQ12R3		DQ11R1		
B6	VREFB6N1	IO	DIFFIO_TX74n		AB6	AA6							DM22R	DM22R		DM22R	DM22R		DQ28R2	DQ28R2		DQ21R0		
B6	VREFB6N1	IO	DIFFIO_TX74p		AB5	AA5							DQ22R3	DQ22R3		DQ22R3	DQ22R3		DQS28R	DQS28R		DQ20R3	DQ20R3	
B6	VREFB6N1	IO	DIFFIO_RX74n		AE2	AC3							DM9R	DM9R		DM9R	DM9R		DQ12R2	DQ12R2		DQ11R0		
B6	VREFB6N1	IO	DIFFIO_RX74p		AE1	AC2							DQ9R3	DQ9R3		DQ9R3	DQ9R3		DQS12R	DQS12R		DQ10R3	DQ10R3	
B6	VREFB6N1	IO	DIFFIO_TX73n		Y11	W8							DQ22R2	DQ22R2		DQ22R2	DQ22R2		DQ28R1	DQ28R1		DQ20R2	DQ20R2	
B6	VREFB6N1	IO	DIFFIO_TX73p		Y10	W7							DQS22R	DQS22R		DQS22R	DQS22R		DQ28R0	DQ28R0		DQS20R	DQS20R	
B6	VREFB6N1	IO	DIFFIO_RX73n		AD2	AB4							DQ9R2	DQ9R2		DQ9R2	DQ9R2		DQ12R1	DQ12R1		DQ10R2	DQ10R2	
B6	VREFB6N1	IO	DIFFIO_RX73p		AD1	AB3							DQS9R	DQS9R		DQS9R	DQS9R		DQ12R0	DQ12R0		DQS10R	DQS10R	
B6	VREFB6N1	IO	DIFFIO_TX72n		Y9	W6							DQ22R1	DQ22R1		DQ22R1	DQ22R1		DQ27R3	DQ27R3		DQ20R1	DQ20R1	
B6	VREFB6N1	IO	DIFFIO_TX72p		Y8	W5							DQ22R0	DQ22R0		DQ22R0	DQ22R0		DQ27R2	DQ27R2		DQ20R0	DQ20R0	
B6	VREFB6N1	IO	DIFFIO_RX72n		AC4	AA4							DQ9R1	DQ9R1		DQ9R1	DQ9R1		DQ11R3	DQ11R3		DQ10R1	DQ10R1	
B6	VREFB6N1	IO	DIFFIO_RX72p		AC3	AA3							DQ9R0	DQ9R0		DQ9R0	DQ9R0		DQ11R2	DQ11R2		DQ10R0	DQ10R0	
B6	VREFB6N1	VREFB6N1	VREFB6N1		AD5	Y5	U3																	
B6	VREFB6N1	IO	DIFFIO_TX71n		Y7	V8	W4						DM21R	DM21R	DM21R	DM21R	DM21R		DQS27R	DQS27R				
B6	VREFB6N1	IO	DIFFIO_TX71p		Y6	V7	W3						DQ21R3	DQ21R3	DQ21R3	DQ21R3	DQ21R3		DQ27R1	DQ27R1				
B6	VREFB6N1	IO	DIFFIO_RX71n		AC2	Y4	W2						DM8R	DM8R	DM8R	DM8R	DM8R		DQS11R	DQS11R				

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B6	VREFB6N1	IO	DIFFIO_RX71p		AC1	Y3	W1						DQ8R3	DQ8R3	DQ8R3	DQ8R3	DQ8R3		DQ11R1	DQ11R1				
B6	VREFB6N1	IO	DIFFIO_TX70n		W5	V6	V4						DQ21R2	DQ21R2	DQ21R2	DQ21R2	DQ21R2		DQ27R0	DQ27R0				
B6	VREFB6N1	IO	DIFFIO_TX70p		W4	V5	V3						DQS21R	DQS21R	DQS21R	DQS21R	DQS21R		DQ26R3	DQ26R3	DQ26R3			
B6	VREFB6N1	IO	DIFFIO_RX70n		AB4	W4	Y2						DQ8R2	DQ8R2	DQ8R2	DQ8R2	DQ8R2		DQ11R0	DQ11R0				
B6	VREFB6N1	IO	DIFFIO_RX70p		AB3	W3	Y1						DQS8R	DQS8R	DQS8R	DQS8R	DQS8R		DQ10R3	DQ10R3	DQ10R3			
B6	VREFB6N1	IO	DIFFIO_TX69n		W7	U8	U5						DQ21R1	DQ21R1	DQ21R1	DQ21R1	DQ21R1		DQ26R2	DQ26R2	DQ26R2			
B6	VREFB6N1	IO	DIFFIO_TX69p		W6	U7	U4						DQ21R0	DQ21R0	DQ21R0	DQ21R0	DQ21R0		DQS26R	DQS26R	DQS26R			
B6	VREFB6N1	IO	DIFFIO_RX69n		AB2	AB2	V2						DQ8R1	DQ8R1	DQ8R1	DQ8R1	DQ8R1		DQ10R2	DQ10R2	DQ10R2			
B6	VREFB6N1	IO	DIFFIO_RX69p		AB1	AB1	V1						DQ8R0	DQ8R0	DQ8R0	DQ8R0	DQ8R0		DQS10R	DQS10R	DQS10R			
B6	VREFB6N2	IO	DIFFIO_TX68n		W9	T7	T6						DM20R	DM20R	DM20R	DM20R	DM20R		DQ26R1	DQ26R1	DQ26R1			
B6	VREFB6N2	IO	DIFFIO_TX68p		W8	T6	T5						DQ20R3	DQ20R3	DQ20R3	DQ20R3	DQ20R3		DQ26R0	DQ26R0	DQ26R0			
B6	VREFB6N2	IO	DIFFIO_RX68n		Y5	AA2	T4						DM7R	DM7R	DM7R	DM7R	DM7R	DM7R	DQ10R1	DQ10R1	DQ10R1			
B6	VREFB6N2	IO	DIFFIO_RX68p		Y4	AA1	T3						DQ7R3	DQ7R3	DQ7R3	DQ7R3	DQ7R3	DQ7R3	DQ10R0	DQ10R0	DQ10R0			
B6	VREFB6N2	IO	DIFFIO_TX67n		V5	U6	R8						DQ20R2	DQ20R2	DQ20R2	DQ20R2	DQ20R2		DQ25R3	DQ25R3	DQ25R3			
B6	VREFB6N2	IO	DIFFIO_TX67p		V4	U5	R7						DQS20R	DQS20R	DQS20R	DQS20R	DQS20R		DQ25R2	DQ25R2	DQ25R2			
B6	VREFB6N2	IO	DIFFIO_RX67n		AA4	Y2	U2						DQ7R2	DQ7R2	DQ7R2	DQ7R2	DQ7R2	DQ7R2	DQ9R3	DQ9R3	DQ9R3	DQ9R3	DQ9R3	DQ9R3
B6	VREFB6N2	IO	DIFFIO_RX67p		AA3	Y1	U1						DQS7R	DQS7R	DQS7R	DQS7R	DQS7R	DQS7R	DQ9R2	DQ9R2	DQ9R2	DQ9R2	DQ9R2	DQ9R2
B6	VREFB6N2	IO	DIFFIO_TX66n		V7	V4	R6						DQ20R1	DQ20R1	DQ20R1	DQ20R1	DQ20R1		DQS25R	DQS25R	DQS25R			
B6	VREFB6N2	IO	DIFFIO_TX66p		V6	V3	R5						DQ20R0	DQ20R0	DQ20R0	DQ20R0	DQ20R0		DQ25R1	DQ25R1	DQ25R1			
B6	VREFB6N2	IO	DIFFIO_RX66n		AA2	W2	R4						DQ7R1	DQ7R1	DQ7R1	DQ7R1	DQ7R1	DQ7R1	DQS9R	DQS9R	DQS9R	DQS9R	DQS9R	DQS9R
B6	VREFB6N2	IO	DIFFIO_RX66p		AA1	W1	R3						DQ7R0	DQ7R0	DQ7R0	DQ7R0	DQ7R0	DQ7R0	DQ9R1	DQ9R1	DQ9R1	DQ9R1	DQ9R1	DQ9R1
B6	VREFB6N2	IO	DIFFIO_TX65n		V10	T9	P6						DM19R	DM19R	DM19R	DM19R	DM19R		DQ25R0	DQ25R0	DQ25R0			
B6	VREFB6N2	IO	DIFFIO_TX65p		V9	T8	P5						DQ19R3	DQ19R3	DQ19R3	DQ19R3	DQ19R3		DQ24R3	DQ24R3	DQ24R3			
B6	VREFB6N2	IO	DIFFIO_RX65n		Y3	V2	T2						DM6R	DM6R	DM6R	DM6R	DM6R	DM6R	DQ9R0	DQ9R0	DQ9R0	DQ9R0	DQ9R0	DQ9R0
B6	VREFB6N2	IO	DIFFIO_RX65p		Y2	V1	T1						DQ6R3	DQ6R3	DQ6R3	DQ6R3	DQ6R3	DQ6R3	DQ8R3	DQ8R3	DQ8R3	DQ8R3	DQ8R3	DQ8R3
B6	VREFB6N2	VREFB6N2	VREFB6N2		W3	R5	P4																	
B6	VREFB6N2	IO	DIFFIO_TX64n		U11	U4	P8						DQ19R2	DQ19R2	DQ19R2	DQ19R2	DQ19R2		DQ24R2	DQ24R2	DQ24R2			
B6	VREFB6N2	IO	DIFFIO_TX64p		U10	U3	P7						DQS19R	DQS19R	DQS19R	DQS19R	DQS19R		DQS24R	DQS24R	DQS24R			
B6	VREFB6N2	IO	DIFFIO_RX64n		W2	U2	R2						DQ6R2	DQ6R2	DQ6R2	DQ6R2	DQ6R2	DQ6R2	DQ8R2	DQ8R2	DQ8R2	DQ8R2	DQ8R2	DQ8R2
B6	VREFB6N2	IO	DIFFIO_RX64p		W1	U1	R1						DQS6R	DQS6R	DQS6R	DQS6R	DQS6R	DQS6R	DQS8R	DQS8R	DQS8R	DQS8R	DQS8R	DQS8R
B6	VREFB6N2	IO	DIFFIO_TX63n		U6	T5	N8						DQ19R1	DQ19R1	DQ19R1	DQ19R1	DQ19R1		DQ24R1	DQ24R1	DQ24R1			
B6	VREFB6N2	IO	DIFFIO_TX63p		U5	T4	N7						DQ19R0	DQ19R0	DQ19R0	DQ19R0	DQ19R0		DQ24R0	DQ24R0	DQ24R0			
B6	VREFB6N2	IO	DIFFIO_RX63n		V3	T3	P3						DQ6R1	DQ6R1	DQ6R1	DQ6R1	DQ6R1	DQ6R1	DQ8R1	DQ8R1	DQ8R1	DQ8R1	DQ8R1	DQ8R1
B6	VREFB6N2	IO	DIFFIO_RX63p		V2	T2	P2						DQ6R0	DQ6R0	DQ6R0	DQ6R0	DQ6R0	DQ6R0	DQ8R0	DQ8R0	DQ8R0	DQ8R0	DQ8R0	DQ8R0
B6	VREFB6N2	CLK9n	INPUT		U4	R4	N4																	
B6	VREFB6N2	CLK9p	INPUT		U3	R3	N3																	
B6	VREFB6N2	IO	CLK8n/DIFFIO_RX_C2n		U2	R2	N2																	
B6	VREFB6N2	IO	CLK8p/DIFFIO_RX_C2p		U1	R1	N1																	
		VCCD_PLL3			U7	P7	M5																	
		VCCA_PLL3			U9	R6	M4																	
		GNDA_PLL3			U8	R7	N5																	
		GNDA_PLL3			V8	R8	N6																	
		GNDA_PLL4			R8	N8	L4																	
		GNDA_PLL4			T8	N9	L5																	
		VCCA_PLL4			R9	P8	M6																	
		VCCD_PLL4			T9	P9	L6																	
B5	VREFB5N0	CLK11p	INPUT		T3	N2	M2																	
B5	VREFB5N0	CLK11n	INPUT		T4	N3	M3																	
B5	VREFB5N0	IO	CLK10p/DIFFIO_RX_C3p		T1	P2	L2																	
B5	VREFB5N0	IO	CLK10n/DIFFIO_RX_C3n		T2	P3	L3																	
B5	VREFB5N0	IO	DIFFIO_TX62n		T11	N7	L8						DM18R	DM18R	DM18R	DM18R	DM18R	DM18R				DQ19R3	DQ19R3	DQ19R3
B5	VREFB5N0	IO	DIFFIO_TX62p		T10	N6	L7						DQ18R3	DQ18R3	DQ18R3	DQ18R3	DQ18R3	DQ18R3				DQ19R2	DQ19R2	DQ19R2
B5	VREFB5N0	IO	DIFFIO_RX62n		P2	M2	K2									DQ18R2	DQ18R2	DQ18R2	DQ7R3	DQ7R3	DQ7R3	DQ7R3	DQ7R3	DQ7R3
B5	VREFB5N0	IO	DIFFIO_RX62p		P1	M1	K1									DQS18R	DQS18R	DQS18R	DQ7R2	DQ7R2	DQ7R2	DQ7R2	DQ7R2	DQ7R2
B5	VREFB5N0	IO	DIFFIO_TX61n		T6	P5	K8						DQ18R2	DQ18R2	DQ18R2	DQ18R1	DQ18R1	DQ18R1	DQ23R3	DQ23R3	DQ23R3	DQS19R	DQS19R	DQS19R
B5	VREFB5N0	IO	DIFFIO_TX61p		T5	P4	K7						DQS18R	DQS18R	DQS18R	DQ18R0	DQ18R0	DQ18R0	DQ23R2	DQ23R2	DQ23R2	DQ19R1	DQ19R1	DQ19R1
B5	VREFB5N0	IO	DIFFIO_RX61n		R3	L3	K4									DM5R	DM5R	DM5R	DQS7R	DQS7R	DQS7R	DQS7R	DQS7R	DQS7R
B5	VREFB5N0	IO	DIFFIO_RX61p		R2	L2	K3									DQ5R3	DQ5R3	DQ5R3	DQ7R1	DQ7R1	DQ7R1	DQ7R1	DQ7R1	DQ7R1

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B5	VREFB5N0	IO	DIFFIO_TX60n		R11	N5	K6						DQ18R1	DQ18R1	DQ18R1	DM17R	DM17R		DQS23R	DQS23R	DQS23R	DQ19R0	DQ19R0	DQ19R0
B5	VREFB5N0	IO	DIFFIO_TX60p		R10	N4	K5						DQ18R0	DQ18R0	DQ18R0	DQ17R3	DQ17R3		DQ23R1	DQ23R1	DQ23R1			
B5	VREFB5N0	IO	DIFFIO_RX60n		M2	K2	J3						DM5R	DM5R	DM5R	DQ5R2	DQ5R2	DQ5R2	DQ7R0	DQ7R0	DQ7R0	DQ7R0	DQ7R0	DQ7R0
B5	VREFB5N0	IO	DIFFIO_RX60p		M1	K1	J2						DQ5R3	DQ5R3	DQ5R3	DQS5R	DQS5R	DQS5R	DQ6R3	DQ6R3	DQ6R3	DQ6R3	DQ6R3	DQ6R3
B5	VREFB5N0	VREFB5N0	VREFB5N0		P3	K5	J4																	
B5	VREFB5N0	IO	DIFFIO_TX59n		R5	M6	J6						DM17R	DM17R	DM17R	DQ17R2	DQ17R2		DQ23R0	DQ23R0	DQ23R0			
B5	VREFB5N0	IO	DIFFIO_TX59p		R4	M5	J5						DQ17R3	DQ17R3	DQ17R3	DQS17R	DQS17R		DQ22R3	DQ22R3	DQ22R3			
B5	VREFB5N0	IO	DIFFIO_RX59n		N3	J2	H2						DQ5R2	DQ5R2	DQ5R2	DQ5R1	DQ5R1	DQ5R1	DQ6R2	DQ6R2	DQ6R2	DQ6R2	DQ6R2	DQ6R2
B5	VREFB5N0	IO	DIFFIO_RX59p		N2	J1	H1						DQS5R	DQS5R	DQS5R	DQ5R0	DQ5R0	DQ5R0	DQS6R	DQS6R	DQS6R	DQS6R	DQS6R	DQS6R
B5	VREFB5N0	IO	DIFFIO_TX58n		R7	M8	J8						DQ17R2	DQ17R2	DQ17R2	DQ17R1	DQ17R1		DQ22R2	DQ22R2	DQ22R2			
B5	VREFB5N0	IO	DIFFIO_TX58p		R6	M7	J7						DQS17R	DQS17R	DQS17R	DQ17R0	DQ17R0		DQS22R	DQS22R	DQS22R			
B5	VREFB5N0	IO	DIFFIO_RX58n		L2	K4	G2						DQ5R1	DQ5R1	DQ5R1	DM4R	DM4R	DM4R	DQ6R1	DQ6R1	DQ6R1	DQ6R1	DQ6R1	DQ6R1
B5	VREFB5N0	IO	DIFFIO_RX58p		L1	K3	G1						DQ5R0	DQ5R0	DQ5R0	DQ4R3	DQ4R3	DQ4R3	DQ6R0	DQ6R0	DQ6R0	DQ6R0	DQ6R0	DQ6R0
B5	VREFB5N0	IO	DIFFIO_TX57n		P11	L9	H6						DQ17R1	DQ17R1	DQ17R1				DQ22R1	DQ22R1	DQ22R1			
B5	VREFB5N0	IO	DIFFIO_TX57p		P10	L8	H5						DQ17R0	DQ17R0	DQ17R0				DQ22R0	DQ22R0	DQ22R0			
B5	VREFB5N0	IO	DIFFIO_RX57n		M4	H2	H4						DM4R	DM4R	DM4R	DQ4R2	DQ4R2	DQ4R2	DQ5R3	DQ5R3	DQ5R3	DQ5R3	DQ5R3	DQ5R3
B5	VREFB5N0	IO	DIFFIO_RX57p		M3	H1	H3						DQ4R3	DQ4R3	DQ4R3	DQS4R	DQS4R	DQS4R	DQ5R2	DQ5R2	DQ5R2	DQ5R2	DQ5R2	DQ5R2
B5	VREFB5N0	IO	DIFFIO_TX56n		P5	L7	G6						DM16R	DM16R	DM16R				DQ21R3	DQ21R3	DQ21R3			
B5	VREFB5N0	IO	DIFFIO_TX56p		P4	L6	G5						DQ16R3	DQ16R3	DQ16R3				DQ21R2	DQ21R2	DQ21R2			
B5	VREFB5N0	IO	DIFFIO_RX56n		N5	G2	F2						DQ4R2	DQ4R2	DQ4R2	DQ4R1	DQ4R1	DQ4R1	DQS5R	DQS5R	DQS5R	DQS5R	DQS5R	DQS5R
B5	VREFB5N0	IO	DIFFIO_RX56p		N4	G1	F1						DQS4R	DQS4R	DQS4R	DQ4R0	DQ4R0	DQ4R0	DQ5R1	DQ5R1	DQ5R1	DQ5R1	DQ5R1	DQ5R1
B5	VREFB5N1	IO	DIFFIO_TX55n		P7	M4	G4						DQ16R2	DQ16R2	DQ16R2	DM16R	DM16R		DQS21R	DQS21R	DQS21R			
B5	VREFB5N1	IO	DIFFIO_TX55p		P6	M3	G3						DQS16R	DQS16R	DQS16R	DQ16R3	DQ16R3		DQ21R1	DQ21R1	DQ21R1			
B5	VREFB5N1	IO	DIFFIO_RX55n		L4	J4	E2						DQ4R1	DQ4R1	DQ4R1	DM3R	DM3R	DM3R	DQ5R0	DQ5R0	DQ5R0	DQ5R0	DQ5R0	DQ5R0
B5	VREFB5N1	IO	DIFFIO_RX55p		L3	J3	E1						DQ4R0	DQ4R0	DQ4R0	DQ3R3	DQ3R3	DQ3R3	DQ4R3	DQ4R3	DQ4R3	DQ4R3	DQ4R3	DQ4R3
B5	VREFB5N1	IO	DIFFIO_TX54n		P9	L5	F5						DQ16R1	DQ16R1	DQ16R1	DQ16R2	DQ16R2		DQ21R0	DQ21R0	DQ21R0			
B5	VREFB5N1	IO	DIFFIO_TX54p		P8	L4	F4						DQ16R0	DQ16R0	DQ16R0	DQS16R	DQS16R		DQ20R3	DQ20R3		DQ18R3	DQ18R3	
B5	VREFB5N1	IO	DIFFIO_RX54n		K2	H4	D2						DM3R	DM3R		DQ3R2	DQ3R2	DQ3R2	DQ4R2	DQ4R2	DQ4R2	DQ4R2	DQ4R2	DQ4R2
B5	VREFB5N1	IO	DIFFIO_RX54p		K1	H3	D1						DQ3R3	DQ3R3		DQS3R	DQS3R	DQS3R	DQS4R	DQS4R	DQS4R	DQS4R	DQS4R	DQS4R
B5	VREFB5N1	IO	DIFFIO_TX53n		N9	K9	E4						DM15R	DM15R		DQ16R1	DQ16R1		DQ20R2	DQ20R2		DQ18R2	DQ18R2	
B5	VREFB5N1	IO	DIFFIO_TX53p		N8	K8	E3						DQ15R3	DQ15R3		DQ16R0	DQ16R0		DQS20R	DQS20R		DQS18R	DQS18R	
B5	VREFB5N1	IO	DIFFIO_RX53n		K4	G4	C2						DQ3R2	DQ3R2		DQ3R1	DQ3R1	DQ3R1	DQ4R1	DQ4R1	DQ4R1	DQ4R1	DQ4R1	DQ4R1
B5	VREFB5N1	IO	DIFFIO_RX53p		K3	G3	C1						DQS3R	DQS3R		DQ3R0	DQ3R0	DQ3R0	DQ4R0	DQ4R0	DQ4R0	DQ4R0	DQ4R0	DQ4R0
B5	VREFB5N1	IO	DIFFIO_TX52n		N7	K7							DQ15R2	DQ15R2		DM15R	DM15R		DQ20R1	DQ20R1		DQ18R1	DQ18R1	
B5	VREFB5N1	IO	DIFFIO_TX52p		N6	K6							DQS15R	DQS15R		DQ15R3	DQ15R3		DQ20R0	DQ20R0		DQ18R0	DQ18R0	
B5	VREFB5N1	IO	DIFFIO_RX52n		J2	F4							DQ3R1	DQ3R1		DM2R	DM2R		DQ3R3	DQ3R3		DQ3R3	DQ3R3	
B5	VREFB5N1	IO	DIFFIO_RX52p		J1	F3							DQ3R0	DQ3R0		DQ2R3	DQ2R3		DQ3R2	DQ3R2		DQ3R2	DQ3R2	
B5	VREFB5N1	VREFB5N1	VREFB5N1		J5	G5	F3																	
B5	VREFB5N1	IO	DIFFIO_TX51n		M7	J8							DQ15R1	DQ15R1		DQ15R2	DQ15R2		DQ19R3	DQ19R3		DQ17R3	DQ17R3	
B5	VREFB5N1	IO	DIFFIO_TX51p		M6	J7							DQ15R0	DQ15R0		DQS15R	DQS15R		DQ19R2	DQ19R2		DQ17R2	DQ17R2	
B5	VREFB5N1	IO	DIFFIO_RX51n		H2	F2							DM2R	DM2R		DQ2R2	DQ2R2		DQS3R	DQS3R		DQS3R	DQS3R	
B5	VREFB5N1	IO	DIFFIO_RX51p		H1	F1							DQ2R3	DQ2R3		DQS2R	DQS2R		DQ3R1	DQ3R1		DQ3R1	DQ3R1	
B5	VREFB5N1	IO	DIFFIO_TX50n		M9	H8							DM14R	DM14R		DQ15R1	DQ15R1		DQS19R	DQS19R		DQS17R	DQS17R	
B5	VREFB5N1	IO	DIFFIO_TX50p		M8	H7							DQ14R3	DQ14R3		DQ15R0	DQ15R0		DQ19R1	DQ19R1		DQ17R1	DQ17R1	
B5	VREFB5N1	IO	DIFFIO_RX50n		J4	E4							DQ2R2	DQ2R2		DQ2R1	DQ2R1		DQ3R0	DQ3R0		DQ3R0	DQ3R0	
B5	VREFB5N1	IO	DIFFIO_RX50p		J3	E3							DQS2R	DQS2R		DQ2R0	DQ2R0		DQ2R3	DQ2R3		DQ2R3	DQ2R3	
B5	VREFB5N1	IO	DIFFIO_TX49n		M11	J6							DQ14R2	DQ14R2		DM14R	DM14R		DQ19R0	DQ19R0		DQ17R0	DQ17R0	
B5	VREFB5N1	IO	DIFFIO_TX49p		M10	J5							DQS14R	DQS14R		DQ14R3	DQ14R3		DQ18R3	DQ18R3		DQ16R3	DQ16R3	
B5	VREFB5N1	IO	DIFFIO_RX49n		G2	E2							DQ2R1	DQ2R1		DM1R	DM1R		DQ2R2	DQ2R2		DQ2R2	DQ2R2	
B5	VREFB5N1	IO	DIFFIO_RX49p		G1	E1							DQ2R0	DQ2R0		DQ1R3	DQ1R3		DQS2R	DQS2R		DQS2R	DQS2R	
B5	VREFB5N2	IO	DIFFIO_TX48n		L6	H6							DQ14R1	DQ14R1		DQ14R2	DQ14R2		DQ18R2	DQ18R2		DQ16R2	DQ16R2	
B5	VREFB5N2	IO	DIFFIO_TX48p		L5	H5							DQ14R0	DQ14R0		DQS14R	DQS14R		DQS18R	DQS18R		DQS16R	DQS16R	
B5	VREFB5N2	IO	DIFFIO_RX48n		G4	D3							DM1R			DQ1R2	DQ1R2		DQ2R1	DQ2R1		DQ2R1	DQ2R1	
B5	VREFB5N2	IO	DIFFIO_RX48p		G3	D2							DQ1R3			DQS1R	DQS1R		DQ2R0	DQ2R0		DQ2R0	DQ2R0	
B5	VREFB5N2	IO	DIFFIO_TX47n		K7	G7							DM13R			DQ14R1	DQ14R1		DQ18R1	DQ18R1		DQ16R1	DQ16R1	
B5	VREFB5N2	IO	DIFFIO_TX47p		K6	G6							DQ13R3			DQ14R0	DQ14R0		DQ18R0	DQ18R0		DQ16R0	DQ16R0	
B5	VREFB5N2	IO	DIFFIO_RX47n		F2	C2							DQ1R2			DQ1R1	DQ1R1		DQ1R3			DQ1R3		
B5	VREFB5N2	IO	DIFFIO_RX47p		F1	C1							DQS1R			DQ1R0	DQ1R0		DQ1R2			DQ1R2		

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B5	VREFB5N2	IO	DIFFIO_TX46n		L8								DQ13R2			DM13R			DQ17R3			DQ15R3		
B5	VREFB5N2	IO	DIFFIO_TX46p		L7								DQS13R			DQ13R3			DQ17R2			DQ15R2		
B5	VREFB5N2	IO	DIFFIO_RX46n		F4								DQ1R1			DQ13R2			DQS1R			DQS1R		
B5	VREFB5N2	IO	DIFFIO_RX46p		F3								DQ1R0			DQS13R			DQ1R1			DQ1R1		
B5	VREFB5N2	IO	DIFFIO_TX45n		L10								DQ13R1			DQ13R1			DQS17R			DQS15R		
B5	VREFB5N2	IO	DIFFIO_TX45p		L9								DQ13R0			DQ13R0			DQ17R1			DQ15R1		
B5	VREFB5N2	IO	DIFFIO_RX45n		E2								DM0R			DM0R			DQ1R0			DQ1R0		
B5	VREFB5N2	IO	DIFFIO_RX45p		E1								DQ0R3			DQ0R3			DQ0R3			DQ0R3		
B5	VREFB5N2	VREFB5N2	VREFB5N2		F5	D4	D3																	
B5	VREFB5N2	IO	DIFFIO_TX44n		K9								DM12R			DM12R			DQ17R0			DQ15R0		
B5	VREFB5N2	IO	DIFFIO_TX44p		K8								DQ12R3			DQ12R3			DQ16R3			DQ14R3		
B5	VREFB5N2	IO	DIFFIO_RX44n		E4								DQ0R2			DQ0R2			DQ0R2			DQ0R2		
B5	VREFB5N2	IO	DIFFIO_RX44p		E3								DQS0R			DQS0R			DQS0R			DQS0R		
B5	VREFB5N2	IO	DIFFIO_TX43n		J9								DQ12R2			DQ12R2			DQ16R2			DQ14R2		
B5	VREFB5N2	IO	DIFFIO_TX43p		J8								DQS12R			DQS12R			DQS16R			DQS14R		
B5	VREFB5N2	IO	DIFFIO_RX43n		D2								DQ0R1			DQ0R1			DQ0R1			DQ0R1		
B5	VREFB5N2	IO	DIFFIO_RX43p		D1								DQ0R0			DQ0R0			DQ0R0			DQ0R0		
B5	VREFB5N2	IO	DIFFIO_TX42n		J7								DQ12R1			DQ12R1			DQ16R1			DQ14R1		
B5	VREFB5N2	IO	DIFFIO_TX42p		J6								DQ12R0			DQ12R0			DQ16R0			DQ14R0		
B5	VREFB5N2	FPLL10CLKn	INPUT		D4																			
B5	VREFB5N2	FPLL10CLKp	INPUT		D3																			
		GNDA_PLL10			G7																			
		GNDA_PLL10			G8																			
		VCCA_PLL10			H8																			
		VCCD_PLL10			H7																			
		TEMPDIODEp			G9	E5	A2																	
		TEMPDIODEn			B3	F5	C3																	
B4	VREFB4N0	TDO		TDO	C3	F6	B3																	
B4	VREFB4N0	MSEL3		MSEL3	H10	F7	A4																	
B4	VREFB4N0	MSEL2		MSEL2	J10	E6	B4																	
B4	VREFB4N0	MSEL1		MSEL1	F6	B2	D4																	
B4	VREFB4N0	MSEL0		MSEL0	B2	G8	E5																	
B4	VREFB4N0	IO	DQS0T		C4			DQS0T								DQS0T			DQ28T3			DQS0T		
B4	VREFB4N0	IO	DQ0T		B4			DQ0T								DQ0T0			DQ28T2			DQ0T0		
B4	VREFB4N0	IO	DQ0T		D5		H7	DQ0T					DM23T			DQ0T1			DQS28T			DQ0T1		
B4	VREFB4N0	IO	DQ0T		E5	J9		DQ0T					DQ23T3			DQ0T2			DQ28T1	DQ17T3		DQ0T2		
B4	VREFB4N0	IO	DQSn0T		C5			DQSn0T					DQ23T2			DQSB0T			DQ28T0			DQSB0T		
B4	VREFB4N0	IO	DQ0T		A4	F8		DQ0T					DQS23T			DQ0T3			DQ27T3	DQ17T2		DQ0T3		
B4	VREFB4N0	IO	RUP4		L12	E7	G7																	
B4	VREFB4N0	IO	RDN4		K11	E8	F6																	
B4	VREFB4N0	IO	DQS1T		B5	B3		DQVLD0T					DQ23T1	DM14T		DQS1T	DQS1T		DQ27T2	DQS17T		DQS1T	DQS1T	
B4	VREFB4N0	IO	DQ1T		A5	A3		DQ0T					DQ23T0	DQ14T3		DQ1T0	DQ1T0		DQS27T	DQ17T1		DQ1T0	DQ1T0	
B4	VREFB4N0	IO	DQ1T		D6	C4		DQ0T					DM22T	DQ14T2		DQ1T1	DQ1T1		DQ27T1	DQ17T0		DQ1T1	DQ1T1	
B4	VREFB4N0	IO	DQ1T		C6	C3		DQ0T					DQ22T3	DQS14T		DQ1T2	DQ1T2		DQ27T0	DQ16T3		DQ1T2	DQ1T2	
B4	VREFB4N0	VREFB4N0	VREFB4N0		C2	D5	C4																	
B4	VREFB4N0	IO	DQSn1T		B6	B4	D5	DQ0T					DQ22T2	DQ14T1		DQSB1T	DQSB1T		DQ26T3	DQ16T2		DQSB1T	DQSB1T	
B4	VREFB4N0	IO	DQ1T		A6	C5		DQ0T					DQS22T	DQ14T0		DQ1T3	DQ1T3		DQ26T2	DQS16T		DQ1T3	DQ1T3	
B4	VREFB4N0	IO			H11								DQ22T1						DQS26T					
B4	VREFB4N0	IO			H12								DQ22T0						DQ26T1					
B4	VREFB4N0	IO	DQS2T		D7	E9	D6	DQS1T					DM21T	DM13T		DQS2T			DQ26T0	DQ16T1	DQ9T3	DQS2T		
B4	VREFB4N0	IO	DQ2T		B7			DQ1T		DQ0T		DQ0T	DQ21T3			DQ2T0			DQ25T3			DQ2T0		
B4	VREFB4N0	IO	DQ2T		E7	K10		DQ1T		DQ0T		DQ0T	DQ21T2	DQ13T3		DQ2T1			DQ25T2	DQ16T0		DQ2T1		
B4	VREFB4N0	IO	DQ2T		E6	H9		DQ1T		DQ0T		DQ0T	DQS21T	DQ13T2		DQ2T2			DQS25T	DQ15T3		DQ2T2		
B4	VREFB4N0	IO	DQSn2T		C7			DQSn1T		DQ0T		DQ0T	DQ21T1			DQSB2T			DQ25T1			DQSB2T		
B4	VREFB4N0	IO	DQ2T		A7	G9	E6	DQ1T		DQ0T		DQ0T	DQ21T0	DQS13T	DM7T	DQ2T3			DQ25T0	DQ15T2	DQ9T2	DQ2T3		
B4	VREFB4N0	IO			J12								DM20T						DQ24T3					
B4	VREFB4N0	IO			J11								DQ20T3						DQ24T2					
B4	VREFB4N0	IO	DQS3T		B8	C6		DQVLD1T	DQS0T	DQS0T			DQ20T2	DQ13T1		DQS3T	DQS3T		DQS24T	DQS15T		DQS3T	DQS3T	

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)							x4 Mode (Note 3)						
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484		DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	
B4	VREFB4N0	IO	DQ3T		C9	A5	E7	DQ1T	DQ0T	DQ0T	DQ0T	DQ0T	DQS20T	DQ13T0	DQ7T3	DQ3T0	DQ3T0			DQ24T1	DQ15T1	DQS9T	DQ3T0	DQ3T0		
B4	VREFB4N0	IO	DQ3T		A8	B5		DQ1T	DQ0T	DQ0T	DQ0T	DQ0T	DQ20T1	DM12T		DQ3T1	DQ3T1			DQ24T0	DQ15T0		DQ3T1	DQ3T1		
B4	VREFB4N0	IO	DQ3T		C8	D6	F7	DQ1T	DQ0T	DQ0T	DQ0T	DQ0T	DQ20T0	DQ12T3	DQ7T2	DQ3T2	DQ3T2			DQ23T3	DQ14T3	DQ9T1	DQ3T2	DQ3T2		
B4	VREFB4N1	IO	DQSn3T		B9	B6		DQ1T	DQSn0T	DQSn0T	DQ0T	DQ0T	DM19T	DQ12T2		DQSB3T	DQSB3T			DQ23T2	DQ14T2		DQSB3T	DQSB3T		
B4	VREFB4N1	IO	DQ3T		A9	A6		DQ1T	DQ0T	DQ0T	DQ0T	DQ0T	DQ19T3	DQS12T		DQ3T3	DQ3T3			DQS23T	DQS14T		DQ3T3	DQ3T3		
B4	VREFB4N1	IO			H13	J10	G8						DQ19T2	DQ12T1	DQS7T					DQ23T1	DQ14T1	DQ9T0				
B4	VREFB4N1	IO			K12								DQS19T							DQ23T0						
B4	VREFB4N1	IO	DQS4T		F9			DQS2T		DQVLD0T		DQVLD0T	DQ19T1			DQS4T				DQ22T3			DQS4T			
B4	VREFB4N1	IO	DQ4T		D8	H10		DQ2T		DQ0T		DQ0T	DQ19T0	DQ12T0		DQ4T0				DQ22T2	DQ14T0		DQ4T0			
B4	VREFB4N1	IO	DQ4T		E8	K11	H9	DQ2T		DQ0T		DQ0T	DM18T	DM11T	DQ7T1	DQ4T1				DQS22T	DQ13T3	DQ8T3	DQ4T1			
B4	VREFB4N1	IO	DQ4T		F8			DQ2T		DQ0T		DQ0T	DQ18T3			DQ4T2				DQ22T1			DQ4T2			
B4	VREFB4N1	IO	DQSn4T		E9	E10		DQSn2T		DQ0T		DQ0T	DQ18T2	DQ11T3		DQSB4T				DQ22T0	DQ13T2		DQSB4T			
B4	VREFB4N1	IO	DQ4T		F10	F10	G9	DQ2T		DQ0T		DQ0T	DQS18T	DQ11T2	DQ7T0	DQ4T3				DQ21T3	DQS13T	DQ8T2	DQ4T3			
B4	VREFB4N1	IO			J13								DQ18T1							DQ21T2						
B4	VREFB4N1	IO			L13								DQ18T0							DQS21T						
B4	VREFB4N1	IO	DQS5T		C10	B7		DQVLD2T	DQVLD0T		DQS0T	DQS0T	DM17T	DQS11T		DQS5T	DQS5T			DQ21T1	DQ13T1		DQS5T	DQS5T		
B4	VREFB4N1	IO	DQ5T		A10	A7		DQ2T	DQ0T	DQ0T	DQ0T	DQ0T	DQ17T3	DQ11T1		DQ5T0	DQ5T0			DQ21T0	DQ13T0		DQ5T0	DQ5T0		
B4	VREFB4N1	IO	DQ5T		B10	C7	F8	DQ2T	DQ0T	DQ0T	DQ0T	DQ0T	DQ17T2	DQ11T0	DM6T	DQ5T1	DQ5T1			DQ20T3	DQ12T3	DQS8T	DQ5T1	DQ5T1		
B4	VREFB4N1	IO	DQ5T		D10	D7		DQ2T	DQ0T	DQ0T	DQ0T	DQ0T	DQS17T	DM10T		DQ5T2	DQ5T2			DQ20T2	DQ12T2		DQ5T2	DQ5T2		
B4	VREFB4N1	VREFB4N1	VREFB4N1		D9	F9	D7																			
B4	VREFB4N1	IO	DQSn5T		C11	B8	D8	DQ2T	DQ0T	DQ0T	DQSn0T	DQSn0T	DQ17T1	DQ10T3	DQ6T3	DQSB5T	DQSB5T			DQS20T	DQS12T	DQ8T1	DQSB5T	DQSB5T		
B4	VREFB4N1	IO	DQ5T		D11	A8		DQ2T	DQ0T		DQ0T		DQ17T0	DQ10T2		DQ5T3	DQ5T3			DQ20T1	DQ12T1		DQ5T3	DQ5T3		
B4	VREFB4N1	IO			H14								DM16T							DQ20T0						
B4	VREFB4N1	IO			K13								DQ16T3							DQ19T3						
B4	VREFB4N1	IO	DQS6T		F11			DQS3T					DQ16T2			DQS6T				DQ19T2			DQS6T			
B4	VREFB4N1	IO	DQ6T		E11	G10	E8	DQ3T		DQ1T		DQ0T	DQS16T	DQS10T	DQ6T2	DQ6T0				DQS19T	DQ12T0	DQ8T0	DQ6T0			
B4	VREFB4N1	IO	DQ6T		G10	J11		DQ3T		DQ1T		DQ0T	DQ16T1	DQ10T1		DQ6T1				DQ19T1	DQ11T3		DQ6T1			
B4	VREFB4N1	IO	DQ6T		G11			DQ3T		DQ1T		DQ0T	DQ16T0			DQ6T2				DQ19T0			DQ6T2			
B4	VREFB4N1	IO	DQSn6T		F12	E11		DQSn3T		DQ1T		DQ0T	DM15T	DQ10T0		DQSB6T				DQ18T3	DQ11T2		DQSB6T			
B4	VREFB4N1	IO	DQ6T		G12	F11	F9	DQ3T		DQ1T		DQ0T	DQ15T3	DM9T	DQS6T	DQ6T3				DQ18T2	DQS11T	DQ7T3	DQ6T3			
B4	VREFB4N1	IO			J14								DQ15T2							DQS18T						
B4	VREFB4N1	IO			L14								DQS15T							DQ18T1						
B4	VREFB4N1	IO	DQS7T		C12	C9	B5	DQVLD3T	DQS1T	DQS1T	DQVLD0T		DQ15T1	DQ9T3	DQ6T1	DQS7T	DQS7T	DQS7T		DQ18T0	DQ11T1	DQ7T2	DQS7T	DQS7T	DQS7T	
B4	VREFB4N1	IO	DQ7T		D12	D9	A5	DQ3T	DQ1T	DQ1T	DQ0T	DQ0T	DQ15T0	DQ9T2	DQ6T0	DQ7T0	DQ7T0	DQ7T0		DQ17T3	DQ11T0	DQS7T	DQ7T0	DQ7T0	DQ7T0	
B4	VREFB4N1	IO	DQ7T		A11	D8	C5	DQ3T	DQ1T	DQ1T	DQ0T	DQ0T	DM14T	DQS9T	DM5T	DQ7T1	DQ7T1	DQ7T1		DQ17T2	DQ10T3	DQ7T1	DQ7T1	DQ7T1	DQ7T1	
B4	VREFB4N1	IO	DQ7T		B11	C8	C6	DQ3T	DQ1T	DQ1T	DQ0T	DQ0T	DQ14T3	DQ9T1	DQ5T3	DQ7T2	DQ7T2	DQ7T2		DQS17T	DQ10T2	DQ7T0	DQ7T2	DQ7T2	DQ7T2	
B4	VREFB4N2	IO	DQSn7T		B12	B9	B6	DQ3T	DQSn1T	DQSn1T	DQ0T	DQ0T	DQ14T2	DQ9T0	DQ5T2	DQSB7T	DQSB7T	DQSB7T		DQ17T1	DQS10T	DQ6T3	DQSB7T	DQSB7T	DQSB7T	
B4	VREFB4N2	IO	DQ7T		A12	A9	A6	DQ3T	DQ1T	DQ1T	DQ0T	DQ0T	DQS14T	DM8T	DQS5T	DQ7T3	DQ7T3	DQ7T3		DQ17T0	DQ10T1	DQ6T2	DQ7T3	DQ7T3	DQ7T3	
B4	VREFB4N2	IO			K14								DQ14T1							DQ16T3						
B4	VREFB4N2	IO			L15								DQ14T0							DQ16T2						
B4	VREFB4N2	IO	DQS8T		F14	E12		DQS4T		DQVLD1T			DM13T	DQ8T3		DQS8T				DQS16T	DQ10T0		DQS8T			
B4	VREFB4N2	IO	DQ8T		E13	G11	E9	DQ4T		DQ1T		DQ0T	DQ13T3	DQ8T2	DQ5T1	DQ8T0				DQ16T1	DQ9T3	DQS6T	DQ8T0			
B4	VREFB4N2	IO	DQ8T		F13			DQ4T		DQ1T		DQ0T	DQ13T2			DQ8T1				DQ16T0			DQ8T1			
B4	VREFB4N2	IO	DQ8T		G13	H11		DQ4T		DQ1T		DQ0T	DQS13T	DQS8T		DQ8T2				DQ15T3	DQ9T2		DQ8T2			
B4	VREFB4N2	IO	DQSn8T		E14	F12	E10	DQSn4T		DQ1T		DQ0T	DQ13T1	DQ8T1	DQ5T0	DQSB8T				DQ15T2	DQS9T	DQ6T1	DQSB8T			
B4	VREFB4N2	IO	DQ8T		F15			DQ4T		DQ1T		DQ0T	DQ13T0			DQ8T3				DQS15T			DQ8T3			
B4	VREFB4N2	IO			J15								DM12T							DQ15T1						
B4	VREFB4N2	IO			L16								DQ12T3							DQ15T0						
B4	VREFB4N2	IO	DQS9T		C13	C10	B7	DQVLD4T	DQVLD1T				DQ12T2	DQ8T0	DM4T	DQS9T	DQS9T	DQS9T		DQ14T3	DQ9T1	DQ6T0	DQS9T	DQS9T	DQS9T	
B4	VREFB4N2	IO	DQ9T		B14	C11	A7	DQ4T	DQ1T	DQ1T	DQ0T	DQ0T	DQS12T	DM7T	DQ4T3	DQ9T0	DQ9T0	DQ9T0		DQ14T2	DQ9T0	DQ5T3	DQ9T0	DQ9T0	DQ9T0	
B4	VREFB4N2	IO	DQ9T		D14	A10	C8	DQ4T	DQ1T	DQ1T	DQ0T	DQ0T	DQ12T1	DQ7T3	DQ4T2	DQ9T1	DQ9T1	DQ9T1		DQS14T	DQ8T3	DQ5T2	DQ9T1	DQ9T1	DQ9T1	
B4	VREFB4N2	IO	DQ9T		D13	D10	C7	DQ4T	DQ1T	DQ1T	DQ0T		DQ12T0	DQ7T2	DQS4T	DQ9T2	DQ9T2	DQ9T2		DQ14T1	DQ8T2	DQS5T	DQ9T2	DQ9T2	DQ9T2	
B4	VREFB4N2	VREFB4N2	VREFB4N2		C14	D11	D9																			
B4	VREFB4N2	IO	DQSn9T		B13	B10	B8	DQ4T	DQ1T	DQ1T	DQ0T	DQ0T	DM11T	DQS7T	DQ4T1	DQSB9T	DQSB9T	DQSB9T		DQ14T0	DQS8T	DQ5T1	DQSB9T	DQSB9T	DQSB9T	
B4	VREFB4N2	IO	DQ9T		A14	B11	A8	DQ4T	DQ1T				DQ11T3	DQ7T1	DQ4T0	DQ9T3	DQ9T3	DQ9T3		DQ13T3	DQ8T1	DQ5T0	DQ9T3	DQ9T3	DQ9T3	
B4	VREFB4N2	IO			K15								DQ11T2							DQ13T2						
B4	VREFB4N2	IO			L17								DQS11T							DQS13T						
B4	VREFB4N2	IO			K17								DQ11T1							DQ13T1						

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B4	VREFB4N2	IO			K16	F13							DQ11T0	DQ7T0					DQ13T0	DQ8T0				
B9	VREFB4N2	IO	PLL5_FBn/OUT2n		E15	D12	C9																	
B9	VREFB4N2	IO	PLL5_FBp/OUT2p		D15	C12	B9																	
B9	VREFB4N2	IO	PLL5_OUT0n		C15	B12	B10																	
B9	VREFB4N2	IO	PLL5_OUT0p		B15	A12	A10																	
B9	VREFB4N2	IO	PLL5_OUT1n		D16	E13	D10																	
B9	VREFB4N2	IO	PLL5_OUT1p		C16	D13	C10																	
B4	VREFB4N2	IO	CLK12n		B16	C13	C11																	
B4	VREFB4N2	IO	CLK12p		A16	B13	B11																	
B4	VREFB4N2	IO	CLK13n		F16	C14	C12																	
B4	VREFB4N2	IO	CLK13p		E16	B14	B12																	
B9		VCC_PLL5_OUT			J16	H12	G10																	
		VCCD_PLL5			H15	H14	G11																	
		VCCA_PLL5			G15	G12	F12																	
		GNDA_PLL5			G16	H13	F10																	
		GNDA_PLL5			H16	J13	F11																	
		GNDA_PLL11			G18																			
		GNDA_PLL11			H18																			
		VCCA_PLL11			H17																			
		VCCD_PLL11			J18																			
B11		VCC_PLL11_OUT			J17																			
B3	VREFB3N0	IO	CLK14p		A17	A15	A13																	
B3	VREFB3N0	IO	CLK14n		B17	B15	B13																	
B3	VREFB3N0	IO	CLK15p		C17	C15	C13																	
B3	VREFB3N0	IO	CLK15n		D17	D15	D13																	
B11	VREFB3N0	IO	PLL11_OUT0p		B18																			
B11	VREFB3N0	IO	PLL11_OUT0n		C18	D14																		
B11	VREFB3N0	IO	PLL11_OUT1p		D18																			
B11	VREFB3N0	IO	PLL11_OUT1n		E18																			
B3	VREFB3N0	IO			K18								DM10T											
B3	VREFB3N0	IO			L18	J14	F13						DQ10T3						DQ12T3					
B11	VREFB3N0	IO	PLL11_FBp/OUT2p		A19																			
B11	VREFB3N0	IO	PLL11_FBn/OUT2n		B19																			
B3	VREFB3N0	IO		PGM2	F18	E15	D12																	
B3	VREFB3N0	IO		PGM1	F19	F15	E11																	
B3	VREFB3N0	IO		PGM0	E17	F14	H11																	
B3	VREFB3N0	IO		ASDO	F17	G14	G12																	
B3	VREFB3N0	IO		nCSO	G19	E14	D11																	
B3	VREFB3N0	IO		CRC_ERROR	G20	F16	E12																	
B3	VREFB3N0	IO		DATA0	H19	E16	E13																	
B3	VREFB3N0	IO		DATA1	F20	G15	H12																	
B3	VREFB3N0	VREFB3N0	VREFB3N0		C19	D16	B14																	
B3	VREFB3N0	IO	DQS10T		D19	D17		DQS5T					DQ10T2	DM6T		DQS10T			DQ12T2			DQS10T		
B3	VREFB3N0	IO	DQ10T		B20			DQ5T		DQ2T		DQ1T	DQS10T			DQ10T0			DQS12T			DQ10T0		
B3	VREFB3N0	IO	DQ10T		E19	H15	G13	DQ5T		DQ2T		DQ1T	DQ10T1	DQ6T3		DQ10T1			DQ12T1			DQ10T1		
B3	VREFB3N0	IO	DQ10T		C20			DQ5T		DQ2T		DQ1T	DQ10T0			DQ10T2			DQ12T0			DQ10T2		
B3	VREFB3N0	IO	DQSn10T		D20	G16		DQSn5T		DQ2T		DQ1T	DM9T	DQ6T2		DQSB10T			DQ11T3	DQ7T3		DQSB10T		
B3	VREFB3N0	IO	DQ10T		E20	J15	E14	DQ5T		DQ2T		DQ1T	DQ9T3	DQS6T		DQ10T3			DQ11T2	DQ7T2		DQ10T3		
B3	VREFB3N0	IO			K19								DQ9T2						DQS11T					
B3	VREFB3N0	IO			L19								DQS9T						DQ11T1					
B3	VREFB3N0	IO	DQS11T		B21	B16	B15	DQVLD5T	DQS2T	DQS2T			DQ9T1	DQ6T1		DQS11T	DQS11T	DQS11T	DQ11T0	DQS7T	DQ4T3	DQS11T	DQS11T	DQS11T
B3	VREFB3N0	IO	DQ11T		A21	C16	A15	DQ5T	DQ2T	DQ2T	DQ1T	DQ1T	DQ9T0	DQ6T0	DM3T	DQ11T0	DQ11T0	DQ11T0	DQ10T3	DQ7T1	DQ4T2	DQ11T0	DQ11T0	DQ11T0
B3	VREFB3N0	IO	DQ11T		C21	A17	C15	DQ5T	DQ2T	DQ2T	DQ1T	DQ1T	DM8T	DM5T	DQ3T3	DQ11T1	DQ11T1	DQ11T1	DQ10T2	DQ7T0	DQS4T	DQ11T1	DQ11T1	DQ11T1
B3	VREFB3N0	IO	DQ11T		A22	C17	C16	DQ5T	DQ2T	DQ2T	DQ1T	DQ1T	DQ8T3	DQ5T3	DQ3T2	DQ11T2	DQ11T2	DQ11T2	DQS10T	DQ6T3	DQ4T1	DQ11T2	DQ11T2	DQ11T2
B3	VREFB3N1	IO	DQSn11T		B22	B17	B16	DQ5T	DQSn2T	DQSn2T	DQ1T	DQ1T	DQ8T2	DQ5T2	DQS3T	DQSB11T	DQSB11T	DQSB11T	DQ10T1	DQ6T2	DQ4T0	DQSB11T	DQSB11T	DQSB11T
B3	VREFB3N1	IO	DQ11T		C22	A18	A16	DQ5T	DQ2T	DQ2T	DQ1T	DQ1T	DQS8T	DQS5T	DQ3T1	DQ11T3	DQ11T3	DQ11T3	DQ10T0	DQS6T	DQ3T3	DQ11T3	DQ11T3	DQ11T3
B3	VREFB3N1	IO			H20								DQ8T1						DQ9T3					
B3	VREFB3N1	IO			J19	H16							DQ8T0	DQ5T1					DQ9T2	DQ6T1				

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)						
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B3	VREFB3N1	IO	DQS12T		D22			DQS6T		DQVLD2T		DQVLD1T	DM7T			DQS12T			DQS9T			DQS12T		
B3	VREFB3N1	IO	DQ12T		D23	F17	F14	DQ6T		DQ2T		DQ1T	DQ7T3	DQ5T0	DQ3T0	DQ12T0			DQ9T1	DQ6T0	DQ3T2	DQ12T0		
B3	VREFB3N1	IO	DQ12T		D21			DQ6T		DQ2T		DQ1T	DQ7T2			DQ12T1			DQ9T0			DQ12T1		
B3	VREFB3N1	IO	DQ12T		F22	K16		DQ6T		DQ2T		DQ1T	DQS7T	DM4T		DQ12T2			DQ8T3	DQ5T3		DQ12T2		
B3	VREFB3N1	IO	DQSn12T		E22			DQSn6T		DQ2T		DQ1T	DQ7T1			DQSB12T			DQ8T2			DQSB12T		
B3	VREFB3N1	IO	DQ12T		F23	G17	E15	DQ6T		DQ2T		DQ1T	DQ7T0	DQ4T3	DM2T	DQ12T3			DQS8T	DQ5T2	DQS3T	DQ12T3		
B3	VREFB3N1	IO			K20								DM6T						DQ8T1					
B3	VREFB3N1	IO			J20	H17							DQ6T3	DQ4T2					DQ8T0	DQS5T				
B3	VREFB3N1	IO	DQS13T		B23	B18	B17	DQVLD6T	DQVLD2T		DQS1T	DQS1T	DQ6T2	DQS4T	DQ2T3	DQS13T	DQS13T	DQS13T	DQ7T3	DQ5T1	DQ3T1	DQS13T	DQS13T	DQS13T
B3	VREFB3N1	IO	DQ13T		A23	A19	A17	DQ6T	DQ2T	DQ2T	DQ1T	DQ1T	DQS6T	DQ4T1	DQ2T2	DQ13T0	DQ13T0	DQ13T0	DQ7T2	DQ5T0	DQ3T0	DQ13T0	DQ13T0	DQ13T0
B3	VREFB3N1	IO	DQ13T		C23	C18	A18	DQ6T	DQ2T	DQ2T	DQ1T	DQ1T	DQ6T1	DQ4T0	DQS2T	DQ13T1	DQ13T1	DQ13T1	DQS7T	DQ4T3	DQ2T3	DQ13T1	DQ13T1	DQ13T1
B3	VREFB3N1	IO	DQ13T		C24	C19	C17	DQ6T	DQ2T	DQ2T	DQ1T	DQ1T	DQ6T0	DM3T	DQ2T1	DQ13T2	DQ13T2	DQ13T2	DQ7T1	DQ4T2	DQ2T2	DQ13T2	DQ13T2	DQ13T2
B3	VREFB3N1	VREFB3N1	VREFB3N1		D24	F18	D16																	
B3	VREFB3N1	IO	DQSn13T		B24	B19	B18	DQ6T	DQ2T	DQ2T	DQSn1T	DQSn1T	DM5T	DQ3T3	DQ2T0	DQSB13T	DQSB13T	DQSB13T	DQ7T0	DQS4T	DQS2T	DQSB13T	DQSB13T	DQSB13T
B3	VREFB3N1	IO	DQ13T		A24	A20	C18	DQ6T	DQ2T		DQ1T		DQ5T3	DQ3T2	DM1T	DQ13T3	DQ13T3	DQ13T3	DQ6T3	DQ4T1	DQ2T1	DQ13T3	DQ13T3	DQ13T3
B3	VREFB3N1	IO			H21								DQ5T2						DQ6T2					
B3	VREFB3N1	IO			L20								DQS5T						DQS6T					
B3	VREFB3N1	IO	DQS14T		B25	E17	D15	DQS7T					DQ5T1	DQS3T	DQ1T3	DQS14T			DQ6T1	DQ4T0	DQ2T0	DQS14T		
B3	VREFB3N1	IO	DQ14T		A25			DQ7T		DQ3T		DQ1T	DQ5T0			DQ14T0			DQ6T0			DQ14T0		
B3	VREFB3N1	IO	DQ14T		A26	J17		DQ7T		DQ3T		DQ1T	DM4T	DQ3T1		DQ14T1			DQ5T3	DQ3T3		DQ14T1		
B3	VREFB3N1	IO	DQ14T		D26			DQ7T		DQ3T		DQ1T	DQ4T3			DQ14T2			DQ5T2			DQ14T2		
B3	VREFB3N1	IO	DQSn14T		B26	G18	D14	DQSn7T		DQ3T		DQ1T	DQ4T2	DQ3T0	DQ1T2	DQSB14T			DQS5T	DQ3T2	DQ1T3	DQSB14T		
B3	VREFB3N1	IO	DQ14T		C26			DQ7T		DQ3T		DQ1T	DQS4T			DQ14T3			DQ5T1			DQ14T3		
B3	VREFB3N1	IO			J21								DQ4T1						DQ5T0					
B3	VREFB3N1	IO			K21	K17							DQ4T0	DM2T					DQ4T3	DQS3T				
B3	VREFB3N1	IO	DQS15T		D25	B20	C14	DQVLD7T	DQS3T	DQS3T	DQVLD1T		DM3T	DQ2T3	DQS1T	DQS15T	DQS15T		DQ4T2	DQ3T1	DQ1T2	DQS15T	DQS15T	
B3	VREFB3N1	IO	DQ15T		E24	A21		DQ7T	DQ3T	DQ3T	DQ1T	DQ1T	DQ3T3	DQ2T2		DQ15T0	DQ15T0		DQS4T	DQ3T0		DQ15T0	DQ15T0	
B3	VREFB3N1	IO	DQ15T		C25	C20	G14	DQ7T	DQ3T	DQ3T	DQ1T	DQ1T	DQ3T2	DQS2T	DQ1T1	DQ15T1	DQ15T1		DQ4T1	DQ2T3	DQS1T	DQ15T1	DQ15T1	
B3	VREFB3N1	IO	DQ15T		E27	C21		DQ7T	DQ3T	DQ3T	DQ1T	DQ1T	DQS3T	DQ2T1		DQ15T2	DQ15T2		DQ4T0	DQ2T2		DQ15T2	DQ15T2	
B3	VREFB3N2	IO	DQSn15T		E25	B21	F15	DQ7T	DQSn3T	DQSn3T	DQ1T	DQ1T	DQ3T1	DQ2T0	DQ1T0	DQSB15T	DQSB15T		DQ3T3	DQS2T	DQ1T1	DQSB15T	DQSB15T	
B3	VREFB3N2	IO	DQ15T		E26	A22		DQ7T	DQ3T	DQ3T	DQ1T	DQ1T	DQ3T0	DM1T		DQ15T3	DQ15T3		DQ3T2	DQ2T1		DQ15T3	DQ15T3	
B3	VREFB3N2	IO			G21								DM2T						DQS3T					
B3	VREFB3N2	IO			L21	H18	G15						DQ2T3	DQ1T3	DM0T				DQ3T1	DQ2T0	DQ1T0			
B3	VREFB3N2	IO	DQS16T		B27			DQS8T		DQVLD3T			DQ2T2			DQS16T			DQ3T0			DQS16T		
B3	VREFB3N2	IO	DQ16T		A27	E18		DQ8T		DQ3T		DQ1T	DQS2T	DQ1T2		DQ16T0			DQ2T3	DQ1T3		DQ16T0		
B3	VREFB3N2	IO	DQ16T		A28			DQ8T		DQ3T		DQ1T	DQ2T1			DQ16T1			DQ2T2			DQ16T1		
B3	VREFB3N2	IO	DQ16T		D27	J18	F16	DQ8T		DQ3T		DQ1T	DQ2T0	DQS1T	DQ0T3	DQ16T2			DQS2T	DQ1T2	DQ0T3	DQ16T2		
B3	VREFB3N2	IO	DQSn16T		B28			DQSn8T		DQ3T		DQ1T	DM1T			DQSB16T			DQ2T1			DQSB16T		
B3	VREFB3N2	IO	DQ16T		C27	D18		DQ8T		DQ3T		DQ1T	DQ1T3	DQ1T1		DQ16T3			DQ2T0	DQS1T		DQ16T3		
B3	VREFB3N2	IO			J22								DQ1T2						DQ1T3					
B3	VREFB3N2	IO			K22								DQS1T						DQ1T2					
B3	VREFB3N2	IO	DQS17T		C28	B23	H14	DQVLD8T	DQVLD3T				DQ1T1	DQ1T0	DQ0T2	DQS17T	DQS17T		DQS1T	DQ1T1	DQ0T2	DQS17T	DQS17T	
B3	VREFB3N2	IO	DQ17T		B29	C22		DQ8T	DQ3T	DQ3T	DQ1T	DQ1T	DQ1T0	DM0T		DQ17T0	DQ17T0		DQ1T1	DQ1T0		DQ17T0	DQ17T0	
B3	VREFB3N2	IO	DQ17T		A29	B22	J15	DQ8T	DQ3T	DQ3T	DQ1T	DQ1T	DM0T	DQ0T3	DQS0T	DQ17T1	DQ17T1		DQ1T0	DQ0T3	DQS0T	DQ17T1	DQ17T1	
B3	VREFB3N2	IO	DQ17T		D28	A24		DQ8T	DQ3T	DQ3T	DQ1T		DQ0T3	DQ0T2		DQ17T2	DQ17T2		DQ0T3	DQ0T2		DQ17T2	DQ17T2	
B3	VREFB3N2	VREFB3N2	VREFB3N2		C31	D22	C19																	
B3	VREFB3N2	IO	DQSn17T		C29	C23	G16	DQ8T	DQ3T	DQ3T	DQ1T	DQ1T	DQ0T2	DQS0T	DQ0T1	DQSB17T	DQSB17T		DQ0T2	DQS0T	DQ0T1	DQSB17T	DQSB17T	
B3	VREFB3N2	IO	DQ17T		E28	B24		DQ8T	DQ3T				DQS0T	DQ0T1		DQ17T3	DQ17T3		DQS0T	DQ0T1		DQ17T3	DQ17T3	
B3	VREFB3N2	IO			H22								DQ0T1						DQ0T1					
B3	VREFB3N2	IO			G22	K18	H16						DQ0T0	DQ0T0	DQ0T0				DQ0T0	DQ0T0	DQ0T0			
B3	VREFB3N2	IO		DATA2	G23	E19	D17																	
B3	VREFB3N2	IO		DATA3	H23	D20	A19																	
B3	VREFB3N2	IO		DATA4	J23	G19	E16																	
B3	VREFB3N2	IO		DATA5	L22	D19	E17																	
B3	VREFB3N2	IO		DATA6	F24	E20	B19																	
B3	VREFB3N2	IO		DATA7	G24	F20	D18																	
B3	VREFB3N2	IO		RDYnBSY	H24	F19	F17																	
B3	VREFB3N2	IO		INIT_DONE	G25	D21	E18																	

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
B3	VREFB3N2	nSTATUS		nSTATUS	B30	E21	B20																	
B3	VREFB3N2	nCE		nCE	C30	E22	A21																	
B3	VREFB3N2	DCLK		DCLK	B31	C24	D19																	
B3	VREFB3N2	CONF_DONE		CONF_DONE	J25	B25	C20																	
		VCCIO2			C32	D26	B22																	
		VCCIO2			M28	L26	L22																	
		VCCIO2			R32	M17																		
		VCCIO2			T21																			
		VCCIO1			AA28	AC26	AA22																	
		VCCIO1			AK32	P17	M22																	
		VCCIO1			U21	T26																		
		VCCIO1			V32																			
		VCCIO8			AA17	AF16	AB12																	
		VCCIO8			AH21	AF23	AB20																	
		VCCIO8			AM18	U14																		
		VCCIO8			AM30																			
		VCCIO7			AA16	AF4	AB3																	
		VCCIO7			AH12	AF11	AB11																	
		VCCIO7			AM3	U12																		
		VCCIO7			AM15																			
		VCCIO6			AA5	AC1	AA1																	
		VCCIO6			AK1	R10	M1																	
		VCCIO6			U12	T1																		
		VCCIO6			V1																			
		VCCIO5			C1	D1	B1																	
		VCCIO5			M5	L1	L1																	
		VCCIO5			R1	N10																		
		VCCIO5			T12																			
		VCCIO4			A3	A4	A3																	
		VCCIO4			A15	A11	A11																	
		VCCIO4			E12	K13																		
		VCCIO4			M16																			
		VCCIO3			A18	A16	A12																	
		VCCIO3			A30	A23	A20																	
		VCCIO3			E21	K15																		
		VCCIO3			M17																			
		VCCINT			AA12	L10	H8																	
		VCCINT			AC10	L12	J9																	
		VCCINT			K10	L14	J11																	
		VCCINT			K23	L16	J13																	
		VCCINT			M21	M11	K10																	
		VCCINT			N13	M13	K12																	
		VCCINT			N15	M15	L11																	
		VCCINT			N17	N12	L13																	
		VCCINT			N19	N14	M8																	
		VCCINT			P14	N16	M10																	
		VCCINT			P16	P11	M12																	
		VCCINT			P18	P13	M14																	
		VCCINT			P20	P15	N11																	
		VCCINT			R13	R12	N13																	
		VCCINT			R15	R14	P9																	
		VCCINT			R17	R16	P12																	
		VCCINT			R19	T11	P14																	
		VCCINT			T14	T13																		
		VCCINT			T16	T15																		
		VCCINT			T18	T17																		
		VCCINT			T20	U10																		
		VCCINT			U13	U16																		

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
		VCCINT			U15	U18																		
		VCCINT			U17	V9																		
		VCCINT			U19																			
		VCCINT			V14																			
		VCCINT			V16																			
		VCCINT			V18																			
		VCCINT			V20																			
		VCCINT			W13																			
		VCCINT			W15																			
		VCCINT			W17																			
		VCCINT			W19																			
		VCCINT			W21																			
		VCCINT			Y14																			
		VCCINT			Y16																			
		VCCINT			Y18																			
		VCCINT			Y20																			
		GND			A2	A2	A1																	
		GND			A13	A13	A9																	
		GND			A20	A14																		
		GND			A31																			
		GND			AA14	A25	A14																	
		GND			AA19	AA13	A22																	
		GND			AA21	AE1																		
		GND			AB22																			
		GND			AC5	AE26	AA2																	
		GND			AC28	AF2	AA21																	
		GND			AF17	AF13																		
		GND			AG6																			
		GND			AH10	AF14	AB1																	
		GND			AH23	AF25	AB9																	
		GND			AH27	B1																		
		GND			AL1																			
		GND			AL32	B26	AB14																	
		GND			AM2	G13	AB22																	
		GND			AM13	K12																		
		GND			AM20																			
		GND			AM31	K14	B2																	
		GND			B1	L11	B21																	
		GND			B32	L13																		
		GND			E10																			
		GND			E23	L15	H15																	
		GND			F7	L17	J1																	
		GND			F27	M10																		
		GND			G17																			
		GND			J24	M12	J10																	
		GND			K5	M14	J12																	
		GND			K28	M16																		
		GND			L11																			
		GND			M12	N1	J14																	
		GND			M14	N11	J22																	
		GND			M19	N13	K9																	
		GND			N1	N15	K11																	
		GND			N14	N17	K13																	
		GND			N16	N26	L10																	
		GND			N18	P1	L12																	
		GND			N20	P6	L14																	
		GND			N32	P10	M7																	
		GND			P12	P12	M9																	

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
		GND			P13	P14	M11																	
		GND			P15	P16	M13																	
		GND			P17	P26	M15																	
		GND			P19	R11	N10																	
		GND			P21	R13	N12																	
		GND			R14	R15	N14																	
		GND			R16	R17	P1																	
		GND			R18	R22	P11																	
		GND			R20	T10	P13																	
		GND			T7	T12	P22																	
		GND			T13	T14	R10																	
		GND			T15	T16																		
		GND			T17	T18																		
		GND			T19	U9																		
		GND			U14	U11																		
		GND			U16	U13																		
		GND			U18	U15																		
		GND			U20	U17																		
		GND			V11																			
		GND			V13																			
		GND			V15																			
		GND			V17																			
		GND			V19																			
		GND			V22																			
		GND			V27																			
		GND			W12																			
		GND			W14																			
		GND			W16																			
		GND			W18																			
		GND			W20																			
		GND			Y1																			
		GND			Y13																			
		GND			Y15																			
		GND			Y17																			
		GND			Y19																			
		GND			Y32																			
		VCCPD2			N21	M18	K14																	
		VCCPD2			R21																			
		VCCPD1			V21	R18	P15																	
		VCCPD1			Y21																			
		VCCPD8			AA18	V15	R13																	
		VCCPD8			AA20																			
		VCCPD7			AA13	V11	P10																	
		VCCPD7			AA15																			
		VCCPD6			V12	R9	N9																	
		VCCPD6			Y12																			
		VCCPD5			N12	M9	L9																	
		VCCPD5			R12																			
		VCCPD4			M13	J12	H10																	
		VCCPD4			M15																			
		VCCPD3			M18	J16	H13																	
		VCCPD3			M20																			
		NC			AC29																			
		NC			AC30																			
		NC			AD3																			
		NC			AD4																			
		NC			AD29																			
		NC			AD30																			

Pin Information for the Stratix® II EP2S60 Device
Version 2.1
(Note 1)

Bank Number	VREF Group (Note 4)	Pin Name/Function	Optional Function(s)/ DQ group for DQS x4 Mode	Configuration Function	F1020	F672	F484	x8/x9 Mode		x16/x18 Mode		x32/x36 Mode	x5 Mode (Note 2)						x4 Mode (Note 3)					
								DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode F1020	DQ group for DQS mode F672/F484	DQ group for DQS mode	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484	DQ group for non-DQS mode (non-migratable) F1020	DQ group for non-DQS mode (non-migratable) F672	DQ group for non-DQS mode (non-migratable) F484	DQ group for non-DQS mode (migratable) F1020	DQ group for non-DQS mode (migratable) F672	DQ group for non-DQS mode (migratable) F484
		NC			AE5																			
		NC			AE6																			
		NC			AE9																			
		NC			AF5																			
		NC			AF6																			
		NC			AF14																			
		NC			AF27																			
		NC			AF28																			
		NC			AG21																			
		NC			AG25																			
		NC			F21																			
		NC			F25																			
		NC			G5																			
		NC			G6																			
		NC			G14																			
		NC			G27																			
		NC			G28																			
		NC			H3																			
		NC			H4																			
		NC			H5																			
		NC			H6																			
		NC			H9																			
		NC			J29																			
		NC			J30																			
		NC			L27																			
		NC			L28																			
		NC			N10																			
		NC			N11																			
		NC			P22																			
		NC			P23																			
		NC			W10																			
		NC			W11																			
		NC			W22																			
		NC			W23																			

Note:

(1) Optional Functions (LVDS, DDR, etc) are not available for some pins in certain packages. E.g. for EP2S15, DQ3B group is available for package F672 but not for F484.

(2) This mode is used for x4 DDR2 SDRAM (with DM support) devices and x9 RLDRAM II devices.

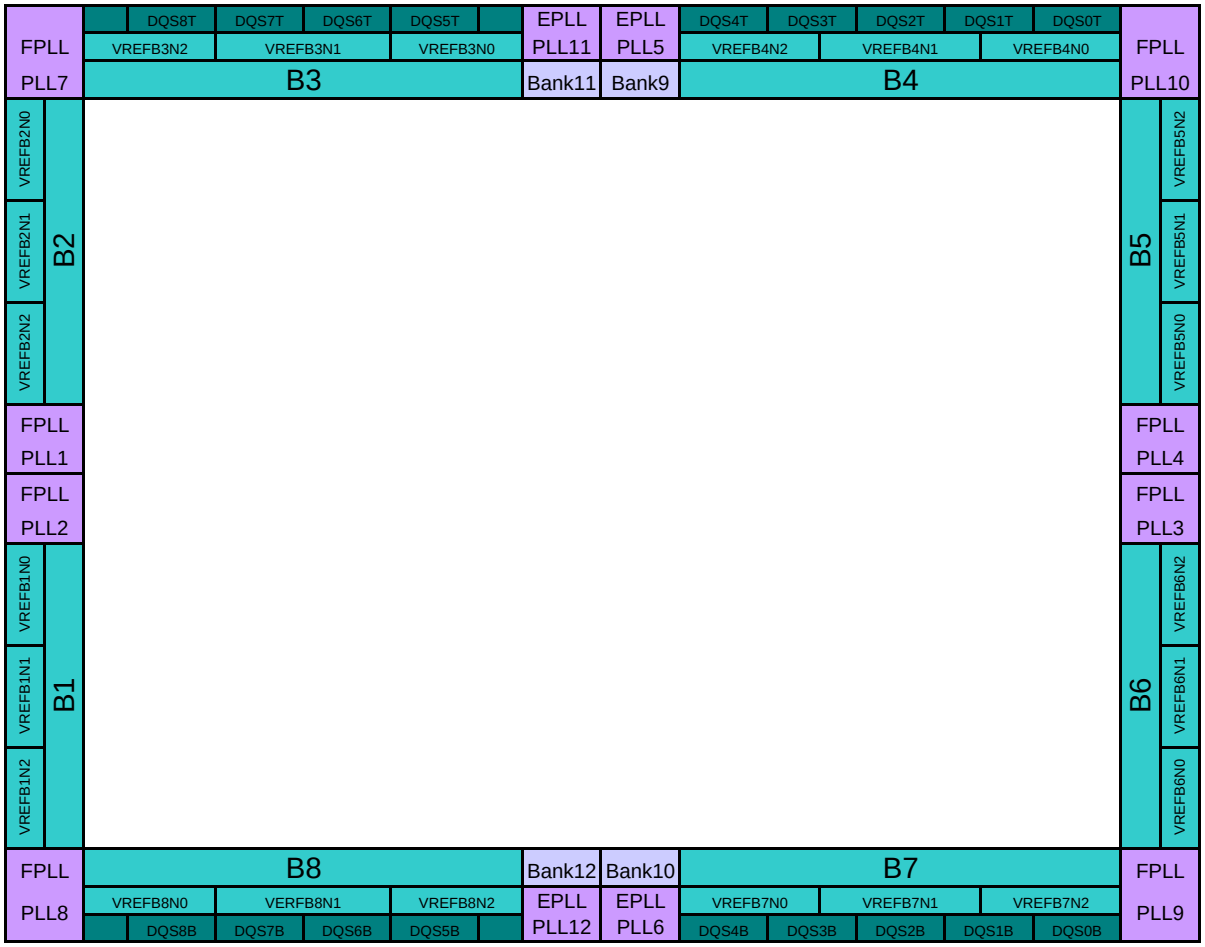
(3) This mode is used for DDR/DDR2 SDRAM, RLDRAM II, and QDRII SRAM interfaces, except for x9 RLDRAM II devices. This mode can support x4 DDR2 SDRAM devices if the DM pins are not used.

(4) Vref pins are required when using DDR, DDR2 and QDR2 pins. For more information on the value of the Vref pins, refer to the Stratix II Handbook Volume 2 Chapter 5: Selectable I/O Standards in Stratix II & Stratix II GX Devices.

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
	Supply and Reference Pins	
VCCINT	Power	These are internal logic array voltage supply pins. VCCINT also supplies power to the input buffers used for the LVDS, LVPECL, HyperTransport™ technology, differential HSTL, differential SSTL, HSTL, and SSTL I/O standards. All VCCINT pins must be connected to 1.2 V.
VCCIO[1..8]	Power	These are I/O supply voltage pins for banks 1 through 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all I/O standards. VCCIO also supplies power to the input buffers used for the LVTTL, LVCMOS, 1.5 V, 1.8 V, 2.5 V, 3.3-V PCI, and 3.3-V PCI-X I/O standards.
VCCPD[1..8]	Power	Dedicated power pins. This supply is used to power the I/O pre-drivers and the 3.3-V/2.5-V buffers of the configuration input pins and JTAG pins. VCCPD powers the JTAG pins (TCK, TMS, TDI, and TRST) and the following configuration pins: nCONFIG, DCLK (when used as an input), nIO_Pullup, DATA[7..0], RUnLU, nCE, nWS, nRS, CS, nCS and CLKUSR. The VCCPD pins must be connected to 3.3 V and must ramp-up from 0 V to 3.3 V within 100 ms to ensure successful configuration. If you use the AES key programming feature of the device, VCCPD8 powers the circuitry enabling the key to be programmed in non-volatile memory. During key programming, apply 3.7 V to VCCPD8. Refer to AN341-Using the Design Security Feature in Stratix II and Stratix II GX Devices for further information.
GND	Ground	Device ground pins. All GND pins should be connected to the board GND plane.
VREFB[1..8]N[0..2]	Input	Input reference voltage for each I/O bank. If a bank is used for a voltage-referenced I/O standard, then these pins are used as the voltage-reference pins for that bank. All of the VREF pins within a bank are shorted together. If VREF pins are not used, designers should connect them to either VCC or GND.
VCC_PLL5_OUT	Power	External clock output VCCIO power for PLL5 clock outputs PLL5_OUT[1..0]p, PLL5_OUT[1..0]n, PLL5_FBp/OUT2p & PLL5_FBn/OUT2n. This pin is the VCCIO pin for bank 9.
VCC_PLL6_OUT	Power	External clock output VCCIO power for PLL6 clock outputs PLL6_OUT[1..0]p, PLL6_OUT[1..0]n, PLL6_FBp/OUT2p & PLL6_FBn/OUT2n. This pin is the VCCIO pin for bank 10.
VCC_PLL11_OUT	Power	External clock output VCCIO power for PLL11 clock outputs PLL11_OUT[1..0]p, PLL11_OUT[1..0]n, PLL11_FBp/OUT2p & PLL11_FBn/OUT2n. This pin is the VCCIO pin for bank 11. The 484 pin and 672 pin packages do not support VCC_PLL11_OUT because they do not have EPLL11. For those packages, the bank 11 I/O pins are powered by VCCIO for bank 3.
VCC_PLL12_OUT	Power	External clock output VCCIO power for PLL12 clock outputs PLL12_OUT[1..0]p, PLL12_OUT[1..0]n, PLL12_FBp/OUT2p & PLL12_FBn/OUT2n. This pin is the VCCIO pin for bank 12. The 484 pin and 672 pin packages do not support VCC_PLL12_OUT because they do not have EPLL12. For those packages, the bank 12 I/O pins are powered by VCCIO for bank 8.
VCCA_PLL[1..12]	Power	Analog power for PLLs[1..12]. The designer must connect these pins to 1.2 V, even if the PLL is not used.
VCCD_PLL[1..12]	Power	Digital power for PLLs[1..12]. The designer must connect these pins to 1.2 V, even if the PLL is not used.
GNDA_PLL[1..12]	Ground	Analog ground for PLLs[1..12].
NC	No Connect	Do not drive signals into these pins.
RUP4	I/O, Input	Reference pin for banks 3 & 4. The external precision resistor Rup must be connected to the designated RUP pin within bank 4. If not required, this pin is a regular I/O pin.
RDN4	I/O, Input	Reference pin for banks 3 & 4. The external precision resistor Rdn must be connected to the designated RDN pin within bank 4. If not required, this pin is a regular I/O pin.
RUP7	I/O, Input	Reference pin for banks 7 & 8. The external precision resistor Rup must be connected to the designated RUP pin within bank 7. If not required, this pin is a regular I/O pin.
RDN7	I/O, Input	Reference pin for banks 7 & 8. The external precision resistor Rdn must be connected to the designated RDN pin within bank 7. If not required, this pin is a regular I/O pin.
	Dedicated Configuration/JTAG Pins	
nIO_PULLUP	Input	Dedicated input that chooses whether the internal pull-ups on the user I/O pins and dual-purpose I/O pins (nCSO, ASDO, DATA[7..0], nWS, nRS, RDYnBSY, nCS, CS, RUnLU, PGM[], CLKUSR, INIT_DONE, DEV_OE, DEV_CLRn) are on or off before and during configuration. A logic high (1.5 V, 1.8 V, 2.5 V, or 3.3 V) turns off the weak pull-up, while a logic low turns them on.
VCCSEL	Input	Dedicated input that selects which input buffer is used on configuration input pins: nCONFIG, DCLK (when used as an input), DATA[7..0], RUnLU, nCE, nWS, nRS, CS, nCS, and CLKUSR. The 3.3-V/2.5-V input buffer is powered by VCCPD, while the 1.8-V/1.5-V input buffer is powered by VCCIO. The VCCSEL input buffer is powered by VCCPD and must be hardwired to VCCPD or ground. A logic high (VCCPD) selects the 1.8-V/1.5-V input buffer, while a logic low selects the 3.3-V/2.5-V input buffer. VCCSEL should be set to comply with the logic levels driven out of the configuration device or MAX II device/microprocessor with flash memory.
TEMPDIODEp	Input	Pin used in conjunction with the temperature sensing diode (bias-high input) inside the Stratix II device. If the temperature sensing diode is not used then connect this pin to GND.
TEMPDIODEn	Input	Pin used in conjunction with the temperature sensing diode (bias-low input) inside the Stratix II device. If the temperature sensing diode is not used then connect this pin to GND.
DCLK	Input (PS, FPP) Output (AS)	Dedicated configuration clock pin. In PS and FPP configuration, DCLK is used to clock configuration data from an external source into the Stratix II device. In AS mode, DCLK is an output from the Stratix II device that provides timing for the configuration interface. In PPA mode, DCLK should be tied to VCC to prevent this pin from floating.
MSEL[0..3]	Input	Configuration input pins that set the Stratix II device configuration scheme. These pins must be hard-wired to VCCPD or GND.
nCE	Input	Dedicated active-low chip enable. When nCE is low, the device is enabled. When nCE is high, the device is disabled. In multi-device configuration, nCE of the first device is tied low while its nCEO pin drives the nCE of the next device in the chain. In single device configuration, nCE is tied low.
nCONFIG	Input	Dedicated configuration control input. Pulling this pin low during user-mode will cause the FPGA to lose its configuration data, enter a reset state & tri-state all I/O pins. Returning this pin to a logic high level will initiate reconfiguration. If the configuration scheme uses an enhanced configuration device or EPC2, nCONFIG can be tied directly to VCC or to the configuration device's nINIT_CONF pin.
CONF_DONE	Bidirectional (open-drain)	This is a dedicated configuration status pin. As a status output, the CONF_DONE pin drives low before and during configuration. Once all configuration data is received without error and the initialization cycle starts, CONF_DONE is released. As a status input, CONF_DONE goes high after all data is received. Then the device initializes and enters user mode. It is not available as a user I/O pin.
nCEO	Output	Output that drives low when device configuration is complete. During multi-device configuration, this pin feeds a subsequent device's nCE pin. During single device configuration, this pin is left floating.
nSTATUS	Bidirectional (open-drain)	This is a dedicated configuration status pin. The FPGA drives nSTATUS low immediately after power-up and releases it after POR time. As a status output, the nSTATUS is pulled low if an error occurs during configuration. As a status input, the device enters an error state when nSTATUS is driven low by an external source during configuration or initialization. It is not available as a user I/O pin.

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
PORSEL	Input	Dedicated input which selects between a POR time of 12 ms or 100 ms. A logic high (1.5-V, 1.8-V, 2.5-V, 3.3-V) selects a POR time of about 12 ms and a logic low selects POR time of about 100 ms.
TCK	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TCK to GND.
TMS	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TMS to VCC.
TDI	Input	Dedicated JTAG input pin. The JTAG circuitry can be disabled by connecting TDI to VCC.
TDO	Output	Dedicated JTAG output pin. The JTAG circuitry can be disabled by leaving TDO unconnected.
TRST	Input	Dedicated active low JTAG input pin. TRST is used to asynchronously reset the JTAG boundary-scan circuit. The JTAG circuitry can be disabled by connecting TRST to GND.
Clock and PLL Pins		
CLK[1,3,9,11]p	Clock, Input	Dedicated clock input pins 1, 3, 9, & 11 that can also be used for data inputs.
CLK[1,3,9,11]n	Clock, Input	Dedicated negative terminal clock input pins for differential clock input that can also be used for data inputs.
CLK[0,2,8,10]p/DIFFIO_RX_C[0..3]p	I/O, Clock, RX channel	These pins can be used as I/O pins, clock input pins, or the positive terminal data pins of differential receiver channels.
CLK[0,2,8,10]n/DIFFIO_RX_C[0..3]n	I/O, Clock, RX channel	These pins can be used as I/O pins, the negative terminal clock input pins for differential clock input, or the negative terminal data pins of differential receiver channels.
CLK[4-7,12-15]p	I/O, Clock	These pins can be used as I/O pins or clock input pins.
CLK[4-7,12-15]n	I/O, Clock	These pins can be used as I/O pins or negative terminal clock input pins for differential clock input.
PLL_ENA	Input	Dedicated input pin that drives the optional pllena port of all or a set of PLLs. If a PLL uses the pllena port, drive the PLL_ENA pin low to reset all PLLs including the counters to their default state. If VCCSEL = 0, then you must drive the PLL_ENA with a 3.3/2.5 V signal to enable the PLLs. If VCCSEL = 1, connect PLL_ENA to 1.8/1.5 V to enable the PLLs.
FPLL[7..10]CLKp	Clock, Input	Dedicated clock inputs for fast PLLs (PLLs 7 through 10) that can also be used for data inputs.
FPLL[7..10]CLKn	Clock, Input	Dedicated negative terminal associated with FPLL[7..10]CLKp pins that can also be used for data inputs.
PLL5_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 5. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL5). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL5_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL5. If the clock outputs are single ended, then each pair of pins (i.e., PLL5_OUT0p and PLL5_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL6_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 6. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL6). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL6_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL6. If the clock outputs are single ended, then each pair of pins (i.e., PLL6_OUT0p and PLL6_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL[5..6]_FBp/OUT2p	I/O, Input, Output	These pins can be used as I/O pins, external feedback input pins or external clock outputs for PLL[5..6].
PLL[5..6]_FBn/OUT2n	I/O, Input, Output	These pins can be used as I/O pins, negative terminal input for external feedback input PLL[5..6]_FBp or negative terminal clock output pins for differential clock output.
PLL11_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 11. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL11). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL11_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL11. If the clock outputs are single ended, then each pair of pins (i.e., PLL11_OUT0p and PLL11_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL12_OUT[0..1]p	I/O, Output	Optional external clock outputs [0..1] from enhanced PLL 12. These pins can be differential (two output pin pairs) or single ended (four clock outputs from PLL12). When not used as PLL output, these pins can be used as I/O with single ended inputs only. They cannot be used as differential input.
PLL12_OUT[0..1]n	I/O, Output	Optional negative terminal for external clock outputs [0..1] from PLL12. If the clock outputs are single ended, then each pair of pins (i.e., PLL12_OUT0p and PLL12_OUT0n are considered one pair) can be either in phase or 180 degrees out of phase.
PLL[11..12]_FBp/OUT2p	I/O, Input, Output	These pins can be used as I/O pins, external feedback input pins or external clock outputs for PLL[11..12].
PLL[11..12]_FBn/OUT2n	I/O, Input, Output	These pins can be used as I/O pins, negative terminal input for external feedback input PLL[11..12]_FBp or negative terminal clock output pins for differential clock output.
Optional/Dual-Purpose Configuration Pins		
nCSO	I/O (non-AS mode), Output	Output control signal from the Stratix II FPGA to the serial configuration device in AS mode that enables the configuration device.
ASDO	I/O (non-AS mode), Output	Control signal from the Stratix II FPGA to the serial configuration device in AS mode used to read out configuration data.
CRC_ERROR	I/O, Output	Active high signal that indicates that the error detection circuit has detected errors in the configuration SRAM bits. This pin is optional and is used when the CRC error detection circuit is enabled.
DEV_CLRn	I/O, Input	Optional pin that allows you to override all clears on all device registers. When this pin is driven low, all registers are cleared; when this pin is driven high, all registers behave as programmed.
DEV_OE	I/O, Input	Optional pin that allows you to override all tri-states on the device. When this pin is driven low, all I/O pins are tri-stated; when this pin is driven high, all I/O pins behave as defined in the design.
DATA0	I/O, Input	Dual-purpose configuration data input pin. Can be used as an I/O pin after configuration is complete.
DATA[1..7]	I/O, Input	Dual-purpose configuration input data pins. These pins can be used for configuration or as regular I/O pins. These pins can also be used as user I/O pins after configuration.
DATA7	I/O, Bidirectional	In the PPA configuration scheme, the DATA7 pin presents the RDYnBSY signal after the nRS signal has been strobed low.
INIT_DONE	I/O, Output (open-drain)	This is a dual-purpose pin and can be used as an I/O pin when not enabled as INIT_DONE. When enabled, a transition from low to high at the pin indicates when the device has entered user mode. If the INIT_DONE output is enabled, the INIT_DONE pin cannot be used as a user I/O pin after configuration.

Pin Name	Pin Type (1st, 2nd, & 3rd Function)	Pin Description
nCS, CS	I/O, Input	These are chip-select inputs that enable the Stratix II device in the passive parallel asynchronous configuration mode. Drive nCS low and CS high to target a device for configuration. If a design requires an active high enable, use the CS pin and drive the nCS pin low. If a design requires an active low enable, use the nCS pin and drive the CS pin high. Configuration will be paused when either signal is inactive. Hold the nCS and CS pins active during configuration and initialization. The design can use these pins as user I/O pins after configuration.
nRS	I/O, Input	Read strobe input pin. A low input directs the device to drive the RDYnBSY signal on the DATA7 pin. If the nRS pin is not used in PPA mode, it should be tied high. In non-PPA schemes, it functions as a user I/O during configuration, which means it is tri-stated. This pin can be used as a user I/O pin after configuration.
nWS	I/O, Input	Active-low write strobe input to latch a byte of data on the DATA pins. This pin can be used as a user I/O pin after configuration.
CLKUSR	I/O, Input	Optional user-supplied clock input. Synchronizes the initialization of one or more devices. If this pin is not enabled for use as a user-supplied configuration clock, it can be used as a user I/O pin.
RDYnBSY	I/O, Output	Ready not busy output. A high output indicates that the target device is ready to accept another data byte. A low output indicates that the target device is not ready to receive another data byte. This pin can be used as a user I/O pin after configuration.
PGM[0..2]	I/O, Output	These output pins control one of eight pages in the memory (either flash or enhanced configuration device) when using a remote system update mode. When not using remote update or local update configuration modes, these pins are user I/O pins.
RUnLU	I/O, Input	Input that selects between remote update and local update. A logic high (1.5 V, 1.8 V, 2.5 V, 3.3 V) selects remote update and a logic low selects local update. When not using remote update or local update configuration modes, this pin is available as general-purpose user I/O pin.
Dual-Purpose Differential & External Memory Interface Pins		
DIFFIO_RX[1..40,43..82]p/n	I/O, RX channel	Dual-purpose differential receiver channels 1 to 40 and channels 43 to 82. These channels can be used for receiving LVDS or HyperTransport compatible signals. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX[0..83]p/n	I/O, TX channel	Dual-purpose differential transmitter channels 0 to 83. These channels can be used for transmitting LVDS or HyperTransport compatible signals. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DQS[T,B]	I/O, DQS	Optional data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase shift circuitry. The shifted DQS signal can also drive to internal logic.
DQS[L,R]	I/O, DQS	Optional data strobe signal for use in external memory interfacing. These pins do not drive to dedicated DQS phase shift circuitry and are only used as write data strobe or write data clock.
DQSn[T,B]	I/O, DQSn	Optional complementary data strobe signal for use in QDRII SRAM. These pins drive to dedicated DQS phase shift circuitry.
DQ[T,B,L,R]	I/O, DQ	Optional data signal for use in external memory interfacing. The order of the DQ bits within a designated DQ bus is not important; however, use caution when making pin assignments if you plan on migrating to a different memory interface that has a different DQ bus width. Analyze the available DQ pins across all pertinent DQS columns in the pin list.
DM[L,R]	I/O, DM	Optional data mask signal for use in external memory interfacing. You can also use this pin as a DQ pin.
DQVLD[0..8][T,B]	I/O, DQVLD	Optional data valid signal for use in external memory interfacing.



Notes:

1. This is a top view of the silicon die. For flip chip packages, the die is mounted upside down in the package; therefore, to obtain the top package view, flip this diagram on its vertical axis.
2. This is only a pictorial representation to provide an idea of placement on the device. Refer to the pin list and the Quartus® II software for exact locations.
3. The DQ/DQS groups depicted above are in x8/x9 mode for the top and bottom I/O banks where there is dedicated circuitry. DQ/DQS groups on the side I/O banks are not shown here. DQ/DQS support differs across the package offerings.

Version Number	Date	Changes Made
1.0	1/21/2004	Initial revision
1.1	2/25/2004	Changed pin names PLL[5, 6,11,12]_FBp/OUT2n to PLL[5,6,11,12]_FBn/OUT2n
		Added the F484 and F672 packages
1.2	3/18/2004	Added "DQS for x32/x36" column to Pin List
		Added "DQS for x8/x9 in F484/F672" & "DQS for x16/x18 in F672" columns, & changed column name from "DQS for x8/x9" to "DQS for x8/x9 in F1020" & from "DQS for x16/x18" to "DQS for x6/x8 in F1020" in Pin List
1.3	3/31/2004	Changed pin names from CLK[10,8,2,0]p to CLK[10,8,2,0]p/DIFFIO_RX_C[3..0]p & CLK[10,8,2,0]n to CLK[10,8,2,0]n/DIFFIO_RX_C[3..0]n in Pin List
		File status changed to Final
1.4	7/13/2004	Added CRC_ERROR pin in pin list and pin definitions
		Added the dual-purpose RUP[4,7] and RDN[4,7] signals to the pin list and the pin definitions sheet
1.5	9/10/2004	Removed DQ bit indices
		Updated DQ and NC pin definitions
1.6	6/27/2005	Updated Pin List to include DQS for x4
		Updated Pin Description for VCCPD
		Updated Pin Description for VCC_PLL11/12_OUT
1.7	9/28/2005	Added DQ group for non-DQS mode columns in pin list:
		Added footnote for pins that do not support Optional Functions (LVDS, DDR, etc)
		Added footnote to explain x5 Mode and x4 Mode in non-DQS Mode
1.8	2/10/2006	Added footnote to address usage of Vref pins in external memory interface usage
1.9	6/16/2006	Changed VCC_PLLx_out definitions from "This pin should be connected to the VCCIO level of bank x" to "This pin is the VCCIO pin for bank x".
		Added input usage informations for PLLx_OUT[0..1]p
2.0	2/7/2007	Corrected numbering of DIFFIO_RX in pin description.
2.1	2/13/2007	Removed redundant rows and updated the description for VCCPD8 during key programming.